

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 7 月 21 日 (21.07.2005)

PCT

(10) 国際公開番号  
WO 2005/067061 A1

(51) 国際特許分類: H01L 31/12, 27/14  
(21) 国際出願番号: PCT/JP2004/015155  
(22) 国際出願日: 2004 年 10 月 14 日 (14.10.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2003-434029  
2003 年 12 月 26 日 (26.12.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 小田 三紀雄

(ODA, Mikio) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 高橋 久弥 (TAKAHASHI, Hisaya) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 中野 嘉一郎 (NAKANO, Kaichiro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 古宇田 光 (KOUTA, Hikaru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 小林 功郎 (KOBAYASHI, Kohroh) [JP/JP]; 〒2268503 神奈川県横浜市緑区長津田町 4 2 5 9 東京工業大学精密工学研究所内 Kanagawa (JP).

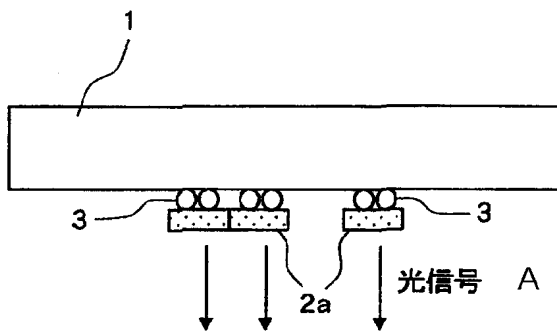
(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT WITH OPTICAL ELEMENT

(54) 発明の名称: 光素子一体型半導体集積回路



A... OPTICAL SIGNAL

(57) Abstract: An LSI with optical elements, wherein two or more optical elements for converting an electric signal inputted/outputted into/from a semiconductor integrated circuit into an optical signal are mounted on the semiconductor integrated circuit, and the heights of the two or more optical elements are the same. The two or more optical elements can be light-emitting elements for converting an electric signal outputted from an electric signal output port of a semiconductor integrated circuit into an optical signal and outputting the optical signal to the outside, or light-receiving elements for converting an optical signal inputted from outside into an electric signal and outputting the electric signal into an electric signal input port of the semiconductor integrated circuit, or a combination of these light-emitting elements and light-receiving elements.

(57) 要約:

本発明の光素子一体型 L S I は、半導体集積回路に入出力される電気信号を光信号に変換する 2 以上の光素子が半導体集積回路に実装され、それら 2 以上の光素子の高さが同一とされる。

この場合、2 以上の光素子は、半導体集積回路の電気信号出力ポートから出力された電気信号を光信号に変換して外部に出力する発光素子、又は、外部から入力された光信号を電気信号に変換して半導体集積回路の電気信号入力ポートへ出力する受光素子、又は、それら発光素子と受光素子の組み合わせとすることができる。



WO 2005/067061 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

光素子一体型半導体集積回路及びその製造方法  
技術分野

[0001] 本発明は、半導体集積回路(以下、「LSI」と呼ぶ場合もある)と、その製造方法に関するものである。

## 背景技術

[0002] LSIの処理速度の高速化はますます進展している。しかし、複数のLSI間を結ぶ電気配線の伝送能力には限界があると考えられている。そこで、高速伝送、長距離伝送が可能な上、電磁波ノイズの放射が少ないといった優位性を有する光信号を用いた伝送が注目されている。例えば、あるLSIから出力された電気信号を光信号に変換して光配線で伝送し、他のLSIに入力する前に電気信号に再変換すれば、電気信号のみを用いる場合に比べてより高速な伝送が可能になると考えられている。

[0003] 特開20001-36197号公報には、電気配線によって接続された光素子とLSIとが同一パッケージ内に集積された光電子集積素子が開示されている。この光電子集積素子では、ベースプレート上に電子集積素子ベアチップが固定され、そのベアチップに近接して配線手段を挟んで光素子が固定されている。ここで光素子は、面発光レーザアレイ、又は受光素子アレイであって、インナーリード上、又は電子集積素子に直接実装されている。また、電子集積素子の入出力ポートは、電子集積素子の周辺部にそれぞれ纏められており、入力ポートに対応して受光素子アレイが搭載され、出力ポートに対応して面発光レーザが搭載されている。より具体的には、電子集積素子に光素子が直接実装された形態では、光素子のパッドがそのパッドの配列に対応させた電子集積素子の入出力ポートに電気接続されている。また、電子集積素子と光素子とがインナーリードによって電気接続された形態では、電子集積素子が搭載されるパッドと、光素子アレイが搭載されるパッド(光素子アレイを搭載するために、光素子アレイのパッド配置に合わせてある)とを1対1で対応させたインナーリードを用いて電気接続している。

[0004] 特開2000-332301号公報には、LSIの周辺部に纏められた複数の入力ポートに

対応して受光素子アレイが配置され、複数の出力ポートに対応して発光素子アレイが配置された半導体装置が開示されている。また、特開2000-332301号公報には、LSI、発光素子、受光素子などを個別に平面的に並べて基板に実装していたために、LSIの入出力を光に変換する部分が大型化するという課題を解決するとの目的が記載されている。さらに、LSIチップに受光素子アレイ及び発光素子アレイを直接実装することによって、LSIの入出力を光に変換する部分の小型化が可能であるとも記載されている。

- [0005] しかしながら、上記公報等が開示されている従来技術は、LSIの入出力ポートが該LSIの周辺部において一定方向に並んで配置されていることを前提とした技術である。従って、LSIの入出力ポートが複数存在し、しかも、それら入出力ポートがランダム(不規則)に配置されている場合には、1チャンネルの受光素子及び発光素子を目的の数だけ用意し、それら素子をLSIの入出力ポートの位置に合わせて1つずつ実装しなくてはならない。しかし、複数の光素子を1つずつ実装すると、各光素子の受光面や発光面の高さが不揃いとなり、外部機器との光結合において損失が大きくなる。また、光素子の実装に長時間を要し、高コスト化を招くことにもなる。

#### 発明の開示

- [0006] 本発明の目的は、ランダムに配置されたLSIの入力ポートのそれぞれに受光素子が設けられ、同じくランダムに配置されたLSIの出力ポートのそれぞれに発光素子が設けられ、しかも、それら受光素子や発光素子の受光面や発光面の高さが揃っている光素子一体型半導体集積回路と、その製造方法を提供することにある。
- [0007] 上記目的の少なくとも一つを達成する本発明の光素子一体型LSIは、半導体集積回路に入出力される電気信号を光信号に変換する2以上の光素子が半導体集積回路に実装され、それら2以上の光素子の高さが同一とされている。この場合、2以上の光素子は、半導体集積回路の電気信号出力ポートから出力された電気信号を光信号に変換して外部に出力する発光素子、又は、外部から入力された光信号を電気信号に変換して半導体集積回路の電気信号入力ポートへ出力する受光素子、又は、それら発光素子と受光素子の組み合わせとすることができる。この場合、発光素子の高さとは、発光素子が実装されている半導体集積回路の表面(実装面)から、その発

光素子の発光面までの距離を意味する。また、受光素子の高さが同一とは、受光素子が実装されている半導体集積回路の表面(実装面)から、その受光素子の受光面まで距離を意味する。

[0008] 上記2以上の光素子が発光素子と受光素子の組み合わせである場合には、2以上の発光素子の高さと、2以上の受光素子の高さとをそれぞれ揃え、発光素子と受光素子の高さは異ならせることができる。もちろん、全ての発光素子と受光素子の高さを揃えることもできるし、一部の発光素子と受光素子の高さを揃えることもできる。

[0009] また、半導体集積回路に実装される2以上の光素子を2以上の群に分け、各群に属する光素子の高さを同一に揃えると共に、異なる群に属する光素子の高さを異ならせることもできる。ここでも、2以上の光素子は、上記発光素子、又は受光素子、又は発光素子と受光素子の組み合わせとすることができる。

[0010] また、半導体集積回路に実装される2以上の光素子には、入射した光を収束させる機能を有する光学素子(例えばレンズ)を設けることもできる。

[0011] また、半導体集積回路に実装される2以上の光素子の全部又は一部を電氣的に導通させたり、逆に、各光素子を電氣的に独立させたりすることもできる。

[0012] また、2以上の光素子を半導体集積回路に固定するために半田を用いる場合には、融点異なる2種以上の半田を使い分けることができる。この際、実装される光素子の種類や上記群に応じて融点異なる半田を使い分けることができる。

[0013] 上記目的の少なくとも一つを達成する本発明の光素子一体型LSIの製造方法の一つは、素子基板に2以上の光素子が形成されてなる光素子アレイのうち、必要な光素子にバンプを形成する工程と、そのバンプを用いて光素子アレイを半導体集積回路に実装して、必要な光素子を半導体集積回路に接続させる工程と、半導体集積回路に接続された必要な光素子を保護膜で被覆する工程と、保護膜によって被覆されていない不必要な光素子を光素子アレイから除去する工程と、保護膜を除去する工程と、からなる光素子実装工程を含んでいる。

[0014] また、本発明の光素子一体型LSIの製造方法の他の一つは、素子基板に2以上の光素子が形成されてなる光素子アレイのうち、必要な光素子を保護膜で被覆する工程と、保護膜によって被覆されていない不必要な光素子の機能部を除去する工程と

、保護膜を除去する工程と、不必要な光素子の機能部が除去された光素子アレイを半導体集積回路に実装し、必要な光素子を半導体集積回路に接続させる工程と、かかる光素子実装工程を含んでいる。

[0015] さらに、本発明の光素子一体型LSIの製造方法の他の一つは、上記2種類の光素子実装工程のいずれか一方によって発光素子を実装し、他方によって受光素子を実装する。

[0016] 本発明の光素子一体型LSIの製造方法には、素子基板をエッチングして薄膜化する工程や素子基板をエッチングしてレンズ化する工程を含めることができる。

[0017] 上記構成を有する本発明の光素子一体型LSI及びその製造方法によれば、次のような効果を得ることができる。すなわち、LSIに複数の入出力ポートが存在し、かつ、それら入出力ポートが様々な位置に不規則に配置されている場合であっても、各入力ポートに同一高さの受光素子が実装され、各出力ポートには同一高さの発光素子が実装された光素子一体型LSIを提供することができる。この光素子一体型LSIは、複数の光回路、例えば光ファイバや光導波路と光結合させることによって、高速、長距離かつ耐ノイズ性に優れた伝送を実現可能である。さらに、上記利用環境下において、受発光素子が光結合すべき光回路の結合部の高さを揃えておくことによって、全て光素子のチャンネルについて高効率な光結合が実現されるという効果が得られる。さらには、全チャンネルで高効率な光結合が実現されることによって、光信号の強度を有効に使えるため、伝送可能距離のさらなる長距離化が可能になるといった効果が得られる。あるいは近距離の光伝送であっても、光結合効率が高いため、より高強度のまま光信号を伝送できるため、さらに耐ノイズ性が向上するといった効果が得られる。

[0018] また、複数の光素子が一括して実装されているので、複数の光素子を1つずつ個別に順々に実装していく場合に比べて製造工程が少なくなり、低コスト化が図られる。かかる効果は実装される光素子の個数が多くなればなるほど、顕著なものとなる。

#### 図面の簡単な説明

[0019] [図1A]本発明の光素子一体型LSIの一例を示す模式的平面図である。

[図1B]本発明の光素子一体型LSIの一例を示す模式的断面図である。

[図2A]図2A、図1Aに示す光素子一体型LSIの製造工程の一つを示す模式図である。

[図2B]図2Aに示す製造工程に続く工程を示す模式図である。

[図2C]図2Bに示す製造工程に続く工程を示す模式図である。

[図2D]図2Cに示す製造工程に続く工程を示す模式図である。

[図3A]本発明の光素子一体型LSIの他例を示す模式的平面図である。

[図3B]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図4A]図3Aに示す光素子一体型LSIの製造工程の一つを示す模式図である。

[図4B]図4Aに示す製造工程に続く工程を示す模式図である。

[図4C]図4Bに示す製造工程に続く工程を示す模式図である。

[図4D]図4Cに示す製造工程に続く工程を示す模式図である。

[図4E]図4Dに示す製造工程に続く工程を示す模式図である。

[図5A]本発明の光素子一体型LSIの他例を示す模式的平面図である。

[図5B]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図5C]図5A、図5Bに示す光素子一体型LSIの変形例を示す模式的断面図である。

[図6A]図5A、図5Bに示す光素子一体型LSIの製造工程の一つを示す模式図である。

[図6B]図6Aに示す製造工程に続く工程を示す模式図である。

[図6C]図6Bに示す製造工程に続く工程を示す模式図である。

[図6D]図6Cに示す製造工程に続く工程を示す模式図である。

[図6E]図6Dに示す製造工程に続く工程を示す模式図である。

[図6F]図6Eに示す製造工程に続く工程を示す模式図である。

[図6G]図6Fに示す製造工程に続く工程を示す模式図である。

[図6H]図6Gに示す製造工程に続く工程を示す模式図である。

[図6I]図6Hに示す製造工程に続く工程を示す模式図である。

[図7A]図5A、図5Bに示す光素子一体型LSIの他の製造方法の工程の一つを示す模式図である。

[図7B]図7Aに示す製造工程に続く工程を示す模式図である。

[図7C]図7Bに示す製造工程に続く工程を示す模式図である。

[図7D]図7Cに示す製造工程に続く工程を示す模式図である。

[図7E]図7Dに示す製造工程に続く工程を示す模式図である。

[図7F]図7Eに示す製造工程に続く工程を示す模式図である。

[図7G]図7Fに示す製造工程に続く工程を示す模式図である。

[図7H]図7Gに示す製造工程に続く工程を示す模式図である。

[図7I]図7Hに示す製造工程に続く工程を示す模式図である。

[図8A]図6Gに示す製造工程に代わる工程を示す模式図である。

[図8B]図6Hに示す製造工程に代わる工程を示す模式図である。

[図8C]図6Iに示す製造工程に代わる工程を示す模式図である。

[図9]光素子の設計上の実装位置と実際の実装位置との関係の一例を示す模式的平面図である、

[図10A]本発明の光素子一体型LSIの他例を示す模式的平面図である。

[図10B]本発明の光素子一体型LSIの他例を示す模式的平面図である。

[図10C]光素子の一例を示す模式的拡大断面図である。

[図10D]光素子の他例を示す模式的拡大断面図である。

[図11A]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図11B]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図12]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図13A]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図13B]図15Aに示すLSIの製造工程の一部を示す模式的断面図である。

[図14A]本発明の光素子一体型LSIの他例を示す模式的平面図である。

[図14B]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図15A]図14A、図14Bに示す光素子一体型LSIの製造工程の一つを示す模式図である。

[図15B]図15Aに示す製造工程に続く工程を示す模式図である。

[図15C]図15Bに示す製造工程に続く工程を示す模式図である。

[図15D]図15Cに示す製造工程に続く工程を示す模式図である。

[図15E]図15Dに示す製造工程に続く工程を示す模式図である。

[図15F]図15Eに示す製造工程に続く工程を示す模式図である。

[図15G]図15Fに示す製造工程に続く工程を示す模式図である。

[図15H]図15Gに示す製造工程に続く工程を示す模式図である。

[図15I]図15Hに示す製造工程に続く工程を示す模式図である。

[図15J]図15Iに示す製造工程に続く工程を示す模式図である。

[図15K]図15Jに示す製造工程に続く工程を示す模式図である。

[図15L]図15Kに示す製造工程に続く工程を示す模式図である。

[図16A]本発明の光素子一体型LSIの他例を示す模式的平面図である。

[図16B]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図17A]従来の製造方法によって製造された光素子一体型LSIの一例を示す模式的平面図である。

[図17B]従来の製造方法によって製造された光素子一体型LSIの一例を示す模式的断面図である。

[図18A]本発明の製造方法によって製造された光素子一体型LSIの一例を示す模式的平面図である。

[図18B]本発明の製造方法によって製造された光素子一体型LSIの一例を示す模式的断面図である。

[図19A]本発明の光素子一体型LSIが実装された光電気混載基板の模式的断面図である。

[図19B]従来の光素子一体型LSIが実装された光電気混載基板の模式的断面図である。

## 発明を実施するための最良の形態

### [0020] (実施形態1)

以下、本発明の光素子一体型半導体集積回路(以下「光素子一体型LSI」と呼ぶ場合もある)の一例を図面に基づいて詳細に説明する。図1Aは、本例の光素子一体型LSIの構造概略を示す模式的平面図であり、図1Bは模式的断面図である。本例

の光素子一体型LSIでは、LSI1の電気信号出力ポート(不図示)に発光素子2aが半田バンプ3によって電気接続されている。上記電気信号出力ポートは複数存在し、それら電気信号出力ポートは様々な位置にランダムに配置されている。また、各電気信号出力ポートには、発光素子2aが実装されている。発光素子2aには、LSI1の裏面側(図1Bの下方)に向けて光を出力可能なものが用いられている。従って、電気信号出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子2aに入力されて光信号に変換され、オンオフの光信号として下方に向けて出力される。

[0021] 図2A～図2Dに、図1A、図1Bに示す光素子一体型LSIの製造方法を示す。ここでは、電気信号出力ポートが8つあるLSI1を例にとって製造方法を説明するが、電気信号出力ポートの数が異なるときは、発光素子の数を適宜増減すればよい。

[0022] 図2Aに示すように、素子基板上に発光素子2aが4×4で配置された発光素子アレイ2を用意する。発光素子アレイ2を構成する複数の発光素子2aのうち、必要な発光素子2aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて発光素子アレイ2とLSI1とを電気接続する。ここで、必要な発光素子2aとは、LSI1の電気信号出力ポートに実装することを意図する発光素子2aを意味する。従って、LSI1の電気信号出力ポートに実装されない発光素子2aは、LSI1の上に載せられてはいるが、LSI1に電気接続されてはいない。

[0023] 次に、図2Bに示すように、発光素子アレイ2中の発光素子2aのうち、必要な発光素子2aのみが覆われるように保護膜4を形成する。本例では、レジストの露光・現像等によるパターンニングによって保護膜4を形成した。

[0024] 次に、図2Cに示すように、不要な発光素子2aをエッチングによって除去する。その後、図2Dに示すように、保護膜4を除去する。

[0025] 以上の工程によって、LSI1の任意の位置に配置された複数の電気信号出力ポートに発光素子2aがそれぞれ実装された光素子一体型LSIが製造される。本例の製造方法では、複数の発光素子2aを有する発光素子アレイ2をLSI1に搭載した後、必要な発光素子2aを残し、不要な発光素子2aを除去するので、LSI1の複数の電気信号出力ポートがランダムに配置されていても、全ての電気信号出力ポートに発光素子2aを一括して実装できる。従って、発光素子2aの実装工程が簡略になり、低コスト

化に寄与する。さらに、発光素子アレイ2を構成する複数の発光素子2aの発光面の高さは予め揃えられているので、LSI1の各電気信号出力ポートに実装された発光素子2aの発光面は全て同一の高さとなる。ここで、光素子一体型LSIを光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、LSI1に実装されている複数の発光素子2aの高さが一定であるということは、各発光素子2aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子2aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子2aからの出射光の大部分を光回路に入射させることができるため、より遠方まで光信号を伝送できたり、また短距離の伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。尚、ここでは一つの製造方法について説明したが、以下で述べる別の製造方法を用いて本発明の光素子一体型LSIを製造することもでき、その場合も上記と同様の作用効果が得られる。

[0026] (実施形態2)

以下、本発明の光素子一体型LSIの他例を図面に基づいて詳細に説明する。図3は、本例の光素子一体型LSIの構造概略を示す模式的平面図であり、図3Bは模式的断面図である。本例の光素子一体型LSIでは、LSI1の電気信号入力ポート(不図示)に受光素子5aが半田バンプ3によって電気接続されている。上記電気信号入力ポートは複数存在し、それら電気信号入力ポートは様々な位置にランダムに配置されている。また、各電気信号入力ポートには受光素子5aが実装されている。受光素子5aには、LSI1の裏面側(図3Bの下方)から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子5aによって電気信号に変換され、オンオフの電気信号として電気信号入力ポートに出力される。

[0027] 図4A～図4Eに、図3A、図3Bに示す光素子一体型LSIの製造方法を示す。ここでは、電気信号入力ポートが8つあるLSI1を例にとって製造方法を説明するが、電気信号入力ポートの数が異なるときは、受光素子の数を適宜増減すればよい。

- [0028] まず、図4Aに示すように、素子基板7上に受光素子5aが4×4で配置された受光素子アレイ5を用意する。次に図4Bに示すように、受光素子アレイ5を構成する複数の受光素子5aのうち、必要な受光素子5aのみが覆われるように保護膜4を形成する。本例では、レジストの露光・現像等によるパターンニングによって保護膜4を形成した。ここで、必要な受光素子5aとは、後にLSI1の電気信号入力ポートに実装することを意図する受光素子5aを意味する。
- [0029] 次に図4Cに示すように、不要な受光素子5aをエッチングにより除去する。但し、このエッチング工程では、不要な受光素子5aの表面にある機能部(光信号を受光し、受光した光信号を電気信号に変換して出力する機能を果たすために必要な部分)6のみをエッチングし、素子基板7はエッチングしない。これは複数の受光素子5a全体の支持部として素子基板7を利用するためである。
- [0030] 次に、保護膜4を除去することによって、必要な受光素子5aのみが機能部6を有する受光素子アレイ5を得る。その後、図4Dに示すように、機能部6を有する各受光素子5aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて必要な受光素子5aとLSI1とを電気接続する。
- [0031] 以上の工程によって、LSI1の任意の位置に配置された複数の電気信号入力ポートに受光素子5aがそれぞれ実装された光素子一体型LSIが製造される。本例の製造方法では、不要な受光素子5aの機能部6が予め除去された受光素子アレイ5をLSI1に搭載し、その後、必要な受光素子5aとLSI1の電気信号入力ポートとを電気接続する。従って、LSI1の複数の電気信号入力ポートがランダムに配置されていても、全ての電気信号入力ポートに受光素子5aを一括して実装できる。この結果、受光素子5aの実装工程が簡略になり、低コスト化に寄与する。さらに、受光素子アレイ5を構成する複数の受光素子5aは、予め受光面の高さが揃えられているので、LSI1の各電気信号入力ポートに実装された複数の受光素子5aの受光面は全て同一の高さとなる。ここで、光素子一体型LSIを光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、LSI1に実装されている複数の受光素子5aの高さが一定であるということは、各受光素子5aと、それが光結合する複数の光回路

との間隔を、全チャンネルにおいて一定に保つことができ、全受光素子5aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子5aによって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子5aによって比較的光強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

[0032] (実施形態3)

以下、本発明の光素子一体型LSIの他例を図面に基づいて詳細に説明する。図5Aは、本例の光素子一体型LSIの構造概略を示す模式的平面図であり、図5Bは模式的断面図である。本例の光素子一体型LSIでは、LSI1の電気信号出力ポート(不図示)に発光素子2aが半田バンプ3によって電気接続され、電気信号入力ポート(不図示)に受光素子5aが半田バンプ3によって電気接続されている。LSI1の電気信号出力ポート及び電気信号入力ポートは複数存在しており、それらポートは様々な位置にランダムに配置されている。

[0033] 発光素子2aには、LSI1の裏面側(図5Bの下方)に向けて光を出力可能なものが用いられている。従って、電気信号出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子2aに入力されて光信号に変換され、オンオフの光信号として下方に向けて出力される。一方、受光素子5aには、LSI1の裏面側(図5Bの下方)から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子5aによって電気信号に変換され、オンオフの電気信号として電気信号入力ポートに出力される。

[0034] 図6A～図6Dに、図5A、図5Bに示す光素子一体型LSIの製造方法を示す。ここでは電気信号出力ポート及び電気信号入力ポートが、それぞれ8つずつ設けられているLSI1を例にとって製造方法を説明するが、LSI1の入出力ポートの数が異なるときは、発光素子及び受光素子数の数を適宜変更することができる。

[0035] 図6Aに示すように、素子基板上に発光素子2aが4×4で配置された発光素子アレ

イ2を用意する。発光素子アレイ2を構成している複数の発光素子2aのうち、必要な発光素子2aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて発光素子アレイ2とLSI1とを電気接続する。ここで、必要な発光素子2aとは、LSI1の電気信号出力ポートに実装される発光素子2aのことを意味する。従って、LSI1の電気信号出力ポートに実装されない発光素子2aは、LSI1の上に載せられてはいるが、LSI1に電気接続されてはいない。また、必要な発光素子2aをLSI1に電気接続するために用いる半田バンプ3は、後に受光素子5aを電気接続するために用いる半田バンプ3よりも融点が高いものを用いる。この半田の使い分けによって、後に受光素子5aを電気接続する工程において、発光素子2aを接続している半田の溶解を回避することができる。

[0036] 次に、図6Bに示すように、発光素子アレイ2のうち、必要な発光素子2aのみが覆われるように保護膜4を形成する。本例では、レジストの露光・現像等によるパターニングによって保護膜4を形成した。

[0037] 次に、図6Cに示すように、不要な発光素子2aをエッチングによって除去する。その後、図6Dに示すように、保護膜4を除去する。

[0038] 続いて、受光素子5aの実装工程を図6E～図6Iを参照しながら説明する。まず、図6Eに示すように、素子基板7上に受光素子5aが4×4で配置された受光素子アレイ5を用意する。

[0039] 次に図6Fに示すように、受光素子アレイ5を構成する複数の受光素子5aのうち、必要な受光素子5aのみが覆われるように保護膜4を形成する。本例では、レジストの露光・現像等によるパターニングによって保護膜4を形成した。ここで、必要な受光素子5aとは、後にLSI1の電気信号入力ポートに実装することを意図する受光素子5aを意味する。

[0040] 次に図6Gに示すように、不要な受光素子5aをエッチングにより除去する。但し、このエッチング工程では、不要な受光素子5aの表面にある機能部6のみをエッチングし、素子基板7はエッチングしない。これは複数の受光素子5a全体の支持部として素子基板7を利用するためである。

[0041] 次に、保護膜4を除去することによって、必要な受光素子5aのみが機能部6を有す

る受光素子アレイ5を得る。その後、図6Hに示すように、機能部6を有する複数の受光素子5aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて必要な受光素子5aとLSI1とを電気接続する。

[0042] 最後に、図6Iに示すように、受光素子アレイ5の素子基板7をエッチングして除去する。

[0043] ここで、発光素子アレイ2の1チャンネルの大きさを $z$ とし(図6D参照)、受光素子アレイ5の1チャンネルの大きさを $y$ としたとき(図6G参照)、発光素子2aと受光素子5aとが上記組み立て時に干渉し合わないように、 $z$ よりも $y$ を小さくしてある。もっとも、 $z$ を $y$ よりも小さくすることによっても、発光素子2aと受光素子5aとの干渉を回避することができる。図7A～図7Iに、 $z$ を $y$ よりも小さくして、発光素子2aと受光素子5aとの干渉を回避した例を示す。

[0044] これまでは、受光素子アレイを構成する複数の受光素子のうち、不要な受光素子の機能部のみを除去し、素子基板は残存させる製造方法について説明してきた。しかし、図8A～図8Cに示すように、不要な受光素子5aを素子基板7ごとエッチングしてしまってもよい。この製造方法によれば、発光素子2aと素子基板7との干渉を回避するために、先に実装される発光素子2aの厚みを規制する必要はなくなる。尚、図8A～図8Cに示す工程は、図6G～図6Iに示す工程に相当する。従って、図6A～図6Fに示す工程を実行し、その後に図8A～図8Cに示す工程を実行すれば、図5A、図5Bに示す光素子一体型LSIを製造することができる。

[0045] 以上の製造方法によって、LSI1の任意の位置に配置された複数の電気信号出力ポート及び電気信号入力ポートに、発光素子2a及び受光素子5aがそれぞれ実装された光素子一体型LSIが製造される。本例の製造方法では、複数の発光素子2aからなる発光素子アレイ2をLSI1に搭載した後、必要な発光素子2aを残し、不必要な発光素子2aを除去する。従って、LSI1の複数の電気信号出力ポートがランダムに配置されていても、全ての電気信号出力ポートに発光素子2aが一括して実装される。この結果、発光素子2aの実装工程が簡略になり、低コスト化に寄与する。さらに、発光素子アレイ2を構成する複数の発光素子2aの発光面の高さは予め揃えられているので、LSI1の各電気信号出力ポートに実装された発光素子2aの発光面は全て同一の

高さとなる。ここで、光素子一体型LSIを光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、LSI1に実装されている複数の発光素子2aの高さが一定であるということは、各発光素子2aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子2aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子2aからの出射光の大部分を光回路に入射させることができるため、伝送可能距離のさらなる長距離化が実現され、また短距離伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。

[0046] さらに本例の製造方法では、不要な受光素子5aの機能部6が予め除去された受光素子アレイ5をLSI1に搭載し、その後、必要な受光素子5aとLSI1の電気信号入力ポートとを電気接続する。従って、LSI1の複数の電気信号入力ポートがランダムに配置されていても、全ての電気信号入力ポートに受光素子5aが一括して実装される。従って、受光素子5aの実装工程が簡略になり、低コスト化に寄与する。さらに、受光素子アレイ5を構成する複数の受光素子5aの受光面の高さは予め揃えられているので、LSI1の各電気信号入力ポートに実装された複数の受光素子5aの受光面は全て同一の高さとなる。ここで、光素子一体型LSIを光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、LSI1に実装されている複数の受光素子5aの高さが一定であるということは、各受光素子5aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全受光素子5aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子5aによって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子5aによって比較的強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

- [0047] 総じて、本例の製造方法によって製造された光素子一体型LSIは、発光素子及び受光素子の双方を備え、かつ、各発光素子及び各受光素子の高さが一定に揃っている。従って、発光側および受光側の全チャンネルにおいて光回路との高効率な光結合が実現されるという効果が得られ、送受信両方の光通信を良好な状況で行うことができるという効果が得られる。
- [0048] 加えて、本例の製造方法のように、複数の発光素子及び受光素子を一括して実装した場合、次のような効果も得られる。図9は、本例の製造方法によって製造された光素子一体型LSIの模式的平面図である。受光素子5aの実際の実装位置は、所定の実装位置(図中に点線13aで示す)に対して上方向にずれている。また、発光素子2aの実際の実装位置は、所定の実装位置(図中に点線13bで示す)に対して左方向にずれている。しかし、複数の受光素子5a及び発光素子2aは、両者とも一括してLSI11に実装されたものである。従って、所定の実装位置に対する実際の実装位置のずれの方向と距離は、複数の素子間において同一である。すなわち、図9では、全ての受光素子5aが所定の実装位置に対して上方向に同一距離だけずれている。また、全ての発光素子2aが所定の実装位置に対して左方向に同一距離だけずれている。この場合、各受光素子5aに対応しているレンズ等(不図示)の光部品全体を上方向にずらせば高効率な結合が実現される。また、各発光素子2aに対応している光部品全体を左方向にずらせば高効率な結合が実現される。
- [0049] 以上のように、複数の受光素子及び発光素子が一括してLSIに実装される本例の製造方法によって製造された光素子一体型LSIでは、同種の複数の光素子の実際の実装位置と、設計上の実装位置との間の位置ずれは、全ての光素子について同方向、かつ、同距離である。この結果、光素子が光結合すべき光回路の位置を光素子の位置ずれと同じ方向に同じ距離だけずらすことによって、光素子と光回路とを高効率で光結合させることができる。但し、この効果は、同種の複数の光素子に限定される。図9に示す場合であれば、発光素子2aと光回路との光結合、又は受光素子5aと光回路との光結合のどちらか一方に限定される。もちろん、発光素子2aと受光素子5aとが同一方向に同一距離だけずれている場合には、全ての光素子と光回路とを高効率で結合させることができる。

[0050] さらに、光素子の実装に用いる半田の融点を製造工程の進行に従って順々に低くしていくことによって、前工程の半田付けに用いた半田が溶けない温度によって次工程の半田付けを実行することができる。その結果、製造工程の途中で半田が溶解し、先に実装されている光素子の位置がずれるといった不都合が回避される。具体的には、複数の発光素子を最初に実装し、次に複数の受光素子を実装する場合には、発光素子を受光素子の実装に用いる半田よりも高融点の半田によって実装する。そうすれば、発光素子の実装後に受光素子を実装する際に、発光素子の実装に用いた半田が溶解することがない。よって、発光素子の位置がずれることはない。以上のように、融点の異なる半田を使い分けることによって、発光素子及び受光素子をそれぞれ所定位置に確実に固定することができる。

[0051] また、図5Cに示すように、LSI1と発光素子2a及び受光素子5aとの間に、アンダーフィル樹脂8を充填して、両者の接続強度を高めることもできる。アンダーフィル樹脂8の充填工程は、上記製造工程中の任意の段階に追加することができる。

[0052] (実施形態4)

図10A、図10Bに本発明の光素子一体型LSIの他例を示す。図10Aに示す光素子一体型LSIでは、隣接する受光素子5aの一部が互いに繋がっている。受光素子アレイ5を構成する各受光素子5aの電極パターンの一部が2以上のチャンネル間に跨っており、チャンネル間をまたぐ電極パターンを分断したくない場合には、図10Aに示すような構造とすることが望ましい。尚、図10Aには、受光素子5a同士が繋がっている部分と分離されている部分の両者が存在する例を図示したが、発光素子に関しても同様である。また、図10Bに示す光素子一体型LSIでは、隣接する発光素子2a及び受光素子5aの間に隙間が設けられ、光素子が各チャンネルごとに独立している。熱膨張の影響によって光素子に作用する応力をなるべく少なくしたい場合には、図10Bに示すような構造とすることが望ましい。図10Bに示すように、隣接する光素子間に隙間を設けて、隣接する光素子同士を分離しやすくするための方法の一例として、隣接する光素子の間に、図10C又は図10Dに示すような切り込み10を入れておくことが考えられる。図10C及び図10Dは、光素子の断面を模式的に示しており、図10Cでは光素子の片面に、図10Dでは光素子の両面に切り込み10が入れられ

ている。

[0053] 上記のように、実装されている複数の光素子同士が互いに繋がった構造を採用することによって、隣接する光素子間で電極配線を共通化でき、配線レイアウトの自由度が増加する。さらに、半田を電極のどこに配置して実装するかについての自由度も増加する。逆に、光素子を単チャンネルごとに分離した構造を採用することによって、LSIと光素子との間の熱膨張係数差に起因して光素子に作用する応力を小さくすることができる。

[0054] (実施形態5)

図11A、図11Bに、本発明の光素子一体型LSIの他例を示す。図11Aに示す光素子一体型LSIでは、複数の受光素子5aの高さがLSI1に対して一定であり、又、複数の発光素子2aの高さもLSI1に対して一定である。しかし、発光素子2aと受光素子5bの高さは異なっている。図11Aに示すような光素子一体型LSIは、発光素子2aを先にLSI1に実装した後に、受光素子5aをLSI1に実装することによって製造可能である。この際、受光素子5aの厚みを発光素子2aの厚みよりも厚くしておくことにより、発光素子2aと受光素子5aとの干渉を避けて両者を実装することができる。

[0055] 図11Bに示す光素子一体型LSIでは、複数の受光素子5a及び発光素子2aの高さがLSI1に対して一定である。すなわち、全ての光素子の高さが同一である。図11Bに示すような光素子一体型LSIは、図11Aのような構造の光素子一体型LSIを製造してから、厚みの厚い光素子(図11Aでは受光素子5a)を厚みの薄い光素子(図11Aでは発光素子2a)に合わせてエッチングすることによって製造可能である。

[0056] 尚、図11A、図11Bに示すように、実装されている光素子の高さが揃っていることによる利点については、これまでに繰り返し説明しているので、ここでの説明は省略する。

[0057] (実施形態6)

本発明の光素子一体型LSIの他例を図12に示す。図12に示す光素子一体型LSIでは、LSI1に複数の発光素子2aと受光素子5aが半田バンプ3によって実装されており、それら発光素子2a及び受光素子5aの近傍にヒートシンク11が設けられている。ヒートシンク11の材料としては、アルミ、銅、シリコンなど様々な材料を用いることが

できる。尚、ヒートシンク11の材料が発光素子2a及び受光素子5aに入出力する光の波長に対して光学的に透明である場合には問題はないが、透明ではない場合には、光路を確保するための窓12を形成する必要がある。

[0058] 受光素子や発光素子といった光素子は温度が高くなると、常温時に比べて性能が低下することが知られている。しかし、本例の光素子一体型LSIによれば、発光素子2a及び受光素子5aの近傍に設けられたヒートシンク11によって、発光素子2a及び受光素子5aから発生する熱が放熱され、発光素子2a及び受光素子5aを常温に近い温度で駆動することができる。この結果、発光素子2a及び受光素子5aの性能が十分に発揮される。さらに、LSI1側にも同様のヒートシンクを設けることによって、放熱効果をより一層高めることができる。

[0059] (実施形態7)

本発明の光素子一体型LSIの他例を図13Aに示す。図13Aに示す光素子一体型LSIでは、複数の発光素子2a及び受光素子5aがLSI1に実装されており、全部又は一部の発光素子2aにはレンズ14が集積化されている。レンズ14の収束作用によって、発光素子2aから出射された光の発散が抑制され、又はコリメートされて、結合対象の光学部品に対して高効率で入射しやすくなる。また、必要であれば、受光素子5aにもレンズを集積化することができる。受光素子5aは、その高速化に伴って受光部の小型化が進んでおり、高効率な光結合を実現するためには、レンズの集積化が有効である。発光素子2aや受光素子5aにレンズを集積化させる方法としては、図13Bに示すように、受光素子5aが形成されている素子基板7を凸形状にエッチングする方法や、ポリマーを発光素子2aや受光素子5aに塗布後、硬化させてポリマーの表面張力を利用してレンズ形状にする方法等がある。

[0060] 光素子にレンズを設けることによって、光素子から出射された光や光回路から出射された光の発散を抑制することができる。また、レンズなどの光学系の特性によっては平行光にすることもできる。その結果、光素子と光回路間の距離がある程度離れていても高効率な光結合が実現される。あるいは、受光素子の受光部の面積が小さい場合や、光回路の光伝播部(通常コアと呼ばれる)の大きさが小さい場合も、高効率な光結合が実現される。

## [0061] (実施形態8)

本発明の光素子一体型LSIの他例を図14A、図14Bに示す。図14A、図14Bに示す光素子一体型LSIでは、LSI1に複数の発光素子2aと受光素子5aが実装されている。ここではLSI1に電気信号出力ポートと、電気信号入力ポートが8つずつ設けられている場合を例にとって説明するが、入出力ポートの数が異なるときは、発光素子及び受光素子の数を適宜変更することができる。発光素子2aと受光素子5aは、機能部を残して薄膜化されている。ここで、受光素子5aの機能部とは前記した通りである。また、発光素子2aの機能部とは、入力された電気信号を光信号に変換し、変換された光信号を出力する機能を果たすために必要な部分を意味する。

[0062] 上記のように、発光素子2a及び受光素子5aを薄膜化することにより、これら光素子と光学的に結合する対象との間の距離を短くすることが可能となり、結合効率、位置ずれの許容量を向上させることができる。また、薄膜化により光素子の基板部分がなくなり、光が基板を透過する際に生じるロスをなくすることができる。

[0063] 図15A～図15Lに、図14A、図14Bに示す光素子一体型LSIの製造方法を示す。まず、図15Aに示すように、不図示の素子基板上に発光素子2aが4×4で配置された発光素子アレイ2を用意する。この発光素子アレイ2中の必要な発光素子2aのパッドにのみ半田バンプ3を形成し、形成された半田バンプ3を用いて発光素子アレイ2とLSI1とを電気接続する。必要な発光素子2aとは、LSI1の電気信号出力ポートに実装することを意図する発光素子2aを意味する。

[0064] 次に、図15Bに示すように、半田バンプ3が形成された発光素子2aのみが覆われるように保護膜4を形成する。本例では、レジストの露光・現像等によるパターンニングによって保護膜4を形成した。

[0065] 次に、図15Cに示すように、不要な発光素子2aをエッチングにより除去する。その後、図15Dに示すように、保護膜4を除去して、必要な位置にのみ発光素子2aを実装する。

[0066] 次に、図15Eに示すように、発光素子2aが実装されていないLSI1の表面を保護膜4で被覆した後、発光素子2aの素子基板をエッチングすることによって、発光素子2aを薄膜化する。その後、図15Fに示すように、保護膜4を除去する。

- [0067] 続いて、図15Gに示すように、素子基板7上に4×4で受光素子5aが配置された受光素子アレイ5を用意する。次に、図15Hに示すように、必要な受光素子5aのみが覆われるように保護膜4を形成する。本例では、レジストの露光・現像等によるパターニングによって保護膜4を形成した。必要な受光素子5aとは、後にLSI1に実装することを意図する受光素子5aである。
- [0068] 次に、図15Iに示すように、不要な受光素子5aをエッチングにより除去する。但し、ここでのエッチング工程では、受光素子5aの表面をエッチングすると共に、素子基板7の表面を部分的にエッチングする。但し、素子基板7の全てをエッチングせず、一部を残す。これは複数の受光素子5a全体の支持部として素子基板7を利用するためである。その後、保護膜4を除去して、必要な位置のみに受光素子5aが残された受光素子アレイ5を得る。さらに、残されている複数の受光素子5aのパッドに半田バンブ3を形成する。
- [0069] 次に、図15Jに示すように、既に発光素子2aが実装されているLSI1のパッドに、受光素子5aが電気接続される電気信号入力ポートに連通する開口15を設け、他の部分は保護膜4で被覆する。その後、図15Kに示すように、受光素子アレイ5の各受光素子5aが対応する開口15に嵌め込まれるように、受光素子アレイ5をLSI1に載せ、複数の受光素子5aを一括して搭載する。
- [0070] 次に、図15Lに示すように、受光素子アレイ5の素子基板7をエッチングしてから、LSI1側に設けられている保護膜4を除去する。
- [0071] 他の製造方法として、発光素子アレイ2を構成する複数の発光素子2aのうち、不要な発光素子2aを最初に除去してからLSI1の電気信号出力ポートに実装し、受光素子5aは上記と同様の方法で実装する方法もある。
- [0072] 以上述べた製造方法によって、薄膜化された光素子を備えた光素子一体型LSIを製造することができる。薄膜化された光素子を備えた光素子一体型LSIによれば、光素子の機能部と、その機能部に光結合する光回路との間の距離が短くなる。従って、発光素子又は光回路から出射された光信号が拡散する前に光回路や受光素子に入射し、光結合効率が高くなる。
- [0073] (実施形態9)

本発明の光素子一体型LSIの他例を図16A、図16Bに示す。図16A、図16Bに示す光素子一体型LSIでは、LSI1に5つの光素子が実装されている。このうち3つの光素子16aはLSI1の左側に纏まっており、これらを群1と呼ぶ。一方、残りの2つの光素子16bはLSI1のほぼ中央に纏まっており、これらを群2と呼ぶ。もともと、群1と群2に属する光素子16a及び16bは同一の光素子である。

[0074] 群1に属する3つの光素子16aは高さが一定であり、群2に属する2つの光素子16bも高さは一定である。しかし、光素子16aは光素子16bよりも高さが低い。従って、群1に属する光素子16aと光結合する光ファイバ等(不図示)の位置が、群2に属する光素子16bと光結合する光ファイバ等(不図示)の位置よりも高い場合、群1に属する光素子16aの高さを群2に属する光素子16bよりも低くしておけば、群1に属する光素子16aと光ファイバとの距離と、群2に属する光素子16bと光ファイバとの距離とがほぼ同じになる。この結果、光結合効率の平均化と高効率化が実現する。

[0075] 以上のように、各群に属する光素子ごとに光結合すべき光回路群の高さが異なる場合には、対応する光回路群の高さに合わせて各群に属する光素子の高さを設定しておくことによって、各群に属する光素子と光回路との間でそれぞれ高効率な光結合が実現され、良好な光通信が実現される。

[0076] (実施形態10)

図17A、図17B及び図18A、図18Bに、LSI1に3つの光素子16が実装された光素子一体型LSIを示す。このうち、図17A、図17Bに示す光素子一体型LSIは、複数の光素子を個別に実装する従来の製造方法によって製造されたものである。一方、図18A、図18Bに示す光素子一体型LSIは、複数の光素子を一括して実装する本発明の製造方法によって製造されたものである。図17A、図17Bに示す光素子一体型LSIでは、LSI1の高さを基準とした場合、隣接する光素子16間の高さのずれ17が $2\mu\text{m}$ 程度であり、装置等の条件によっては高さのずれがそれ以上になる場合も多くある。一方、図18A、図18Bに示す光素子一体型LSIでは、隣接する光素子16間の高さのずれ17が $0.5\mu\text{m}$ 程度に抑えられている。高さのずれが大幅に低減されている理由は、本発明の製造方法では、複数の光素子からなる光素子アレイを搭載した後に、不必要な光素子を除去することによって、必要な光素子を一括実装するか、

不要な光素子が予め除去された光素子アレイを搭載することによって、必要な光素子を一括実装しているからである。更なる効果として、複数の光素子を一括して実装すると、光素子を1つずつ実装する場合に比べて、実装に要する時間を短縮することができ、コストを低減することができる。また、その効果は実装される光素子の数が増えるほど大きくなる。

[0077] (実施形態11)

図19A、図19Bに、光導波路18、光導波路端面ミラー19及び電気配線が形成された光電気混載基板20に光素子一体型LSIを実装した場合の断面構造を示す。ここで、光電気混載基板20とは、光回路と電気回路の両方が設けられた基板を意味する。図19A、図19Bには、光回路として光導波路18を用いた例を示すが、その他の光回路として光ファイバを用いても良い。図19Aは、本発明の光素子一体型LSIが実装された光電気混載基板20の断面構造を示す。図19Bは従来の光素子一体型LSIが実装された光電気混載基板20の断面構造を示す。

[0078] 図19Aに示す光素子一体型LSIと、図19Bに示す光素子一体型LSIとは、3チャンネル分の発光素子2aと、1チャンネル分の受光素子5aとがLSI1に実装されている点で共通している。しかし、図19Aと図19Bとを比較すれば明らかなように、複数の発光素子2a及び受光素子5aが一括して実装された本発明の光素子一体型LSIでは、発光素子2a及び受光素子5aの高さが一定に揃っている。一方、1チャンネルずつの発光素子2a及び受光素子5aが1つずつLSI1に実装された従来の光素子一体型LSIでは、各光素子間の高さにばらつきが生じている。

[0079] 光電気混載基板20は、その表面に光導波路18と光導波路端面ミラー19が形成され、更に電気配線(不図示)が形成されている。また、光素子一体型LSIと光電気混載基板20は、半田バンプ3を用いて電気接続され、光素子一体型LSIの受発光部と光導波路端面ミラー19は、X、Y、Z方向の位置を合わせることで、光結合している。ここで、X方向は光電気混載基板20の表面と平行な方向で、Y方向は紙面に垂直な方向で、Z方向は、光電気混載基板20の表面に垂直な方向を示す。図23A、図23Bには、X、Z方向の断面が示されている。比較的低速な信号は、半田バンプ3を介して光素子一体型LSIと光電気混載基板20との間で入出力され、高速な信号

は発光素子2a及び受光素子5aと光導波路18とを介して入出力される。

[0080] ここで、光素子一体型LSIから出力される光信号を高効率、かつ全チャンネルについて同じ効率で光結合させるためには、各光素子と、光導波路端面ミラー19との相対位置が、それぞれのチャンネルで揃っている必要がある。この点、LSI1に対して複数の光素子の高さが一定である本発明の光素子一体型LSIを光電気混載基板20に対して平行に、かつ、光素子と光導波路端面ミラー19の光軸を合わせて搭載すれば、各光素子と光導波路端面ミラー19との間の距離(Z方向)が一定になる。従って、全チャンネルについて均一、かつ、高効率の光結合が実現される。さらに、光素子一体型LSIから出力される複数の光信号の強度が均一に向上するので、全チャンネルについて伝送距離が延びる。

[0081] 一方、図19Bに示す従来の光素子一体型LSIのように、LSI1に対して複数の光素子の高さが一定でない場合は、光素子一体型LSIを光電気混載基板20に対して平行に実装したとしても、各光素子と光導波路端面ミラー19との間の距離(Z方向)が一定とはならず、光結合にばらつきが生じる。その結果、光信号の伝送可能距離にばらつきが生じ、光結合効率が悪いチャンネルでは伝送距離が短くなる。

## 請求の範囲

- [1] 半導体集積回路に入出力される電気信号を光信号に変換する2以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路であって、前記2以上の光素子の高さが同一である光素子一体型半導体集積回路。
- [2] 半導体集積回路に入出力される電気信号を光信号に変換する2以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路であって、前記2以上の光素子は2以上の群に分けられており、同一の群に属する光素子同士の高さは同一であるが、異なる群に属する光素子同士の高さは異なる光素子一体型半導体集積回路。
- [3] 前記2以上の光素子の一部を前記半導体集積回路に固定している半田の融点と、他の光素子を前記半導体集積回路に固定している半田の融点とが異なる請求項1記載の光素子一体型半導体集積回路。
- [4] 前記2以上の光素子の一部を前記半導体集積回路に固定している半田の融点と、他の光素子を前記半導体集積回路に固定している半田の融点とが異なる請求項2記載の光素子一体型半導体集積回路。
- [5] 不規則に配列された2以上の電気信号出力ポートを有する半導体集積回路と、前記半導体集積回路の各電気信号出力ポートに接続され、対応する電気信号出力ポートから出力された電気信号を光信号に変換して外部に出力する2以上の発光素子とを有し、  
前記電気信号出力ポートに接続されている前記2以上の発光素子は、発光面の高さが互いに同一である光素子一体型半導体集積回路。
- [6] 不規則に配列された2以上の電気信号入力ポートを有する半導体集積回路と、前記半導体集積回路の各電気信号入力ポートに接続され、外部から入力された光信号を電気信号に変換して対応する電気信号入力ポートへ出力する2以上の受光素子とを有し、  
前記電気信号入力ポートに接続されている前記2以上の受光素子は、受光面の高さが互いに同一である光素子一体型半導体集積回路。
- [7] 不規則に配列された2以上の電気信号出力ポートと、電気信号入力ポートとを有す

る半導体集積回路と、

前記半導体集積回路の各電気信号出力ポートに接続され、対応する電気信号出力ポートから出力された電気信号を光信号に変換して外部に出力する2以上の発光素子と、

前記半導体集積回路の各電気信号入力ポートに接続され、外部から入力された光信号を電気信号に変換して対応する電気信号入力ポートへ出力する2以上の受光素子とを有し、

前記電気信号出力ポートに接続されている前記2以上の発光素子は、発光面の高さが互いに同一であり、前記電気信号入力ポートに接続されている前記2以上の受光素子は、受光面の高さが互いに同一である光素子一体型半導体集積回路。

[8] 前記電気信号出力ポートに接続されている前記発光素子の前記発光面の高さ、前記電気信号入力ポートに接続されている前記受光素子の前記受光面の高さ、とが互いに同一である請求項7記載の光素子一体型半導体集積回路。

[9] 前記発光素子を前記半導体集積回路に固定している半田の融点と、前記受光素子を前記半導体集積回路に固定している半田の融点とが異なる請求項7記載の光素子一体型半導体集積回路。

[10] 前記発光素子の少なくとも1つには、発光面から出射された光を収束せる光学素子が設けられている請求項5記載の光素子一体型半導体集積回路。

[11] 前記発光素子の少なくとも1つには、発光面から出射された光を収束せる光学素子が設けられている請求項7記載の光素子一体型半導体集積回路。

[12] 前記受光素子の少なくとも1つには、外部から入力された光を前記受光面に向けて収束させる光学素子が設けられている請求項6記載の光素子一体型半導体集積回路。

[13] 前記受光素子の少なくとも1つには、外部から入力された光を前記受光面に向けて収束させる光学素子が設けられている請求項7記載の光素子一体型半導体集積回路。

[14] 前記2以上の発光素子又は受光素子に共通の電極パターンを有する請求項5記載の光素子一体型半導体集積回路。

- [15] 前記2以上の発光素子又は受光素子に共通の電極パターンを有する請求項6記載の光素子一体型半導体集積回路。
- [16] 前記2以上の発光素子又は受光素子に共通の電極パターンを有する請求項7記載の光素子一体型半導体集積回路。
- [17] 半導体集積回路に入出力される電気信号を光信号に変換する2以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路の製造方法であって、  
光素子アレイ中の必要な光素子にバンプを形成する工程と、  
前記バンプを用いて前記光素子アレイを前記半導体集積回路に実装して、前記必要な光素子を前記半導体集積回路に接続させる工程と、  
前記半導体集積回路に接続された前記必要な光素子を保護膜で被覆する工程と、  
前記保護膜によって被覆されていない不必要な光素子を前記光素子アレイから除去する工程と、  
前記保護膜を除去する工程と、  
を有する光素子実装工程を含む光素子一体型半導体集積回路の製造方法。
- [18] 半導体集積回路に入出力される電気信号を光信号に変換する2以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路の製造方法であって、  
光素子アレイ中の必要な光素子を保護膜で被覆する工程と、  
前記保護膜によって被覆されていない不必要な光素子の機能部を除去する工程と、  
前記保護膜を除去する工程と、  
前記不必要な光素子の機能部が除去された前記光素子アレイを前記半導体集積回路に実装し、前記必要な光素子を前記半導体集積回路に接続させる工程と、  
を有する光素子実装工程を含む光素子一体型半導体集積回路の製造方法。
- [19] 半導体集積回路に入出力される電気信号を光信号に変換する2以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路の製造方法

であって、

光素子アレイ中の必要な光素子にバンプを形成する工程と、

前記バンプを用いて前記光素子アレイを前記半導体集積回路に実装して、前記必要な光素子を前記半導体集積回路に接続させる工程と、

前記半導体集積回路に接続された前記必要な光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な光素子を前記光素子アレイから除去する工程と、

前記保護膜を除去する工程と、を有する第1の光素子実装工程と、

光素子アレイ中の必要な光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な光素子の機能部を除去する工程と、

前記保護膜を除去する工程と、

前記不必要な光素子の機能部が除去された前記光素子アレイを前記半導体集積回路に実装し、前記必要な光素子を前記半導体集積回路に接続させる工程と、を有する第2の光素子実装工程と、

を含む光素子一体型半導体集積回路の製造方法。

[20] 前記第1又は第2の光素子実装工程のいずれか一方によって発光素子を前記半導体集積回路に実装し、他方の光素子実装工程によって受光素子を前記半導体集積回路に実装する請求項19記載の光素子一体型半導体集積回路の製造方法。

[21] 前記素子基板をエッチングして薄膜化する工程を含む請求項17記載の光素子一体型半導体集積回路の製造方法。

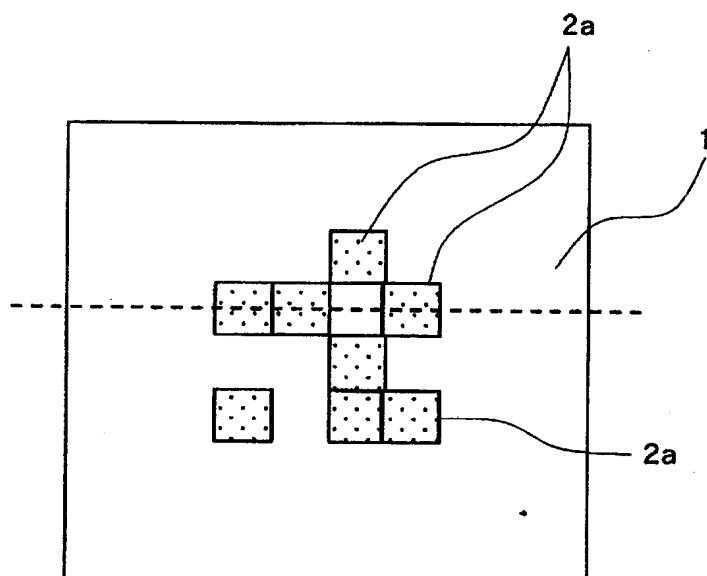
[22] 前記素子基板をエッチングして薄膜化する工程を含む請求項18記載の光素子一体型半導体集積回路の製造方法。

[23] 前記素子基板をエッチングして薄膜化する工程を含む請求項19記載の光素子一体型半導体集積回路の製造方法。

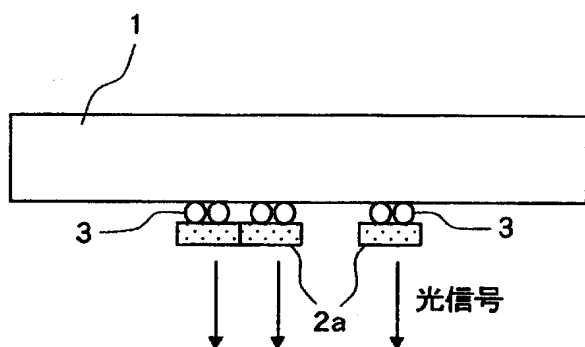
[24] 前記素子基板をエッチングしてレンズ化する工程を含む請求項17記載の光素子一体型半導体集積回路の製造方法。

- [25] 前記素子基板をエッチングしてレンズ化する工程を含む請求項18記載の光素子一体型半導体集積回路の製造方法。
- [26] 前記素子基板をエッチングしてレンズ化する工程を含む請求項19記載の光素子一体型半導体集積回路の製造方法。

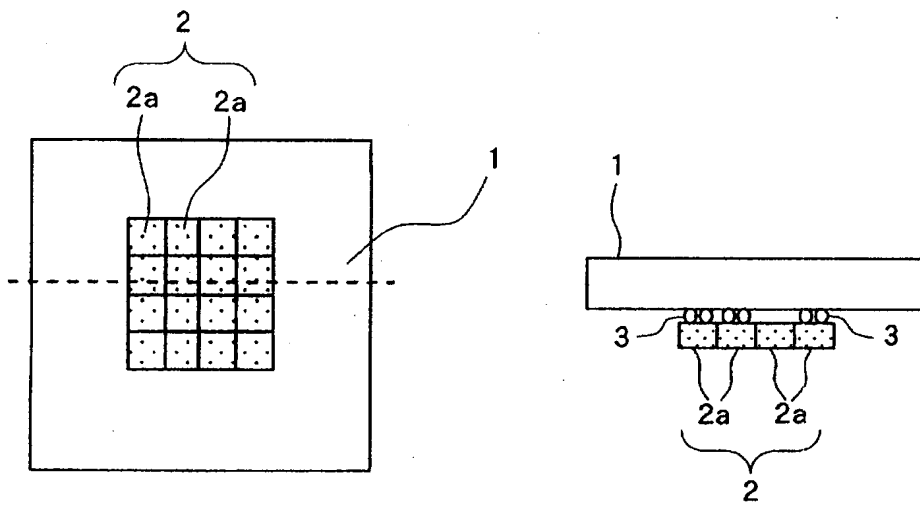
[図1A]



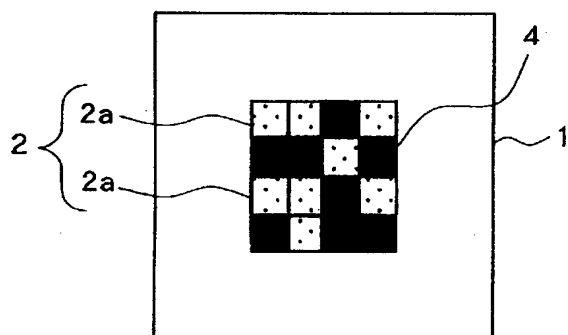
[図1B]



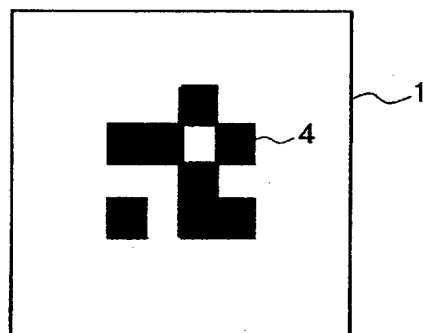
[[図2A]]



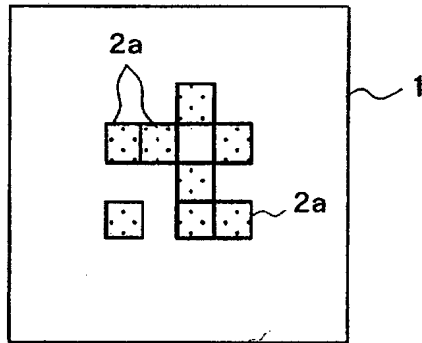
[[図2B]]



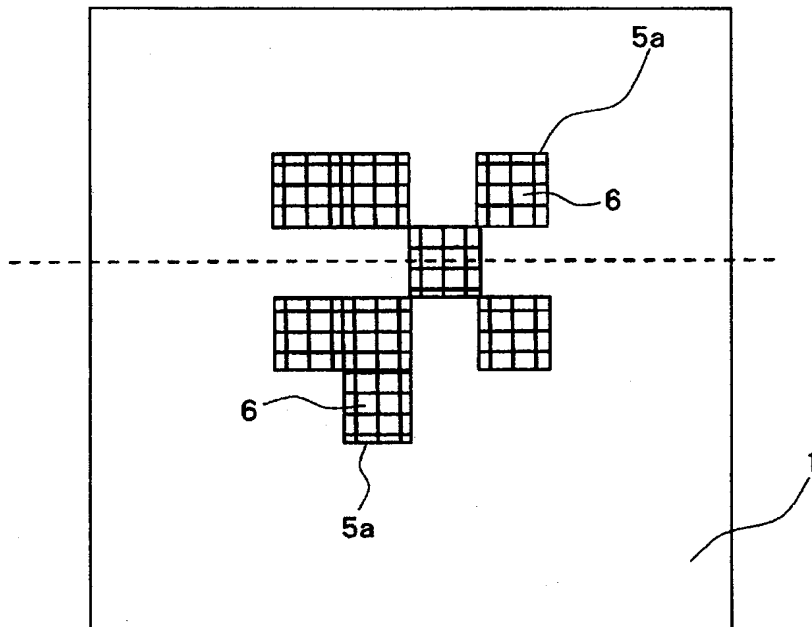
[[図2C]]



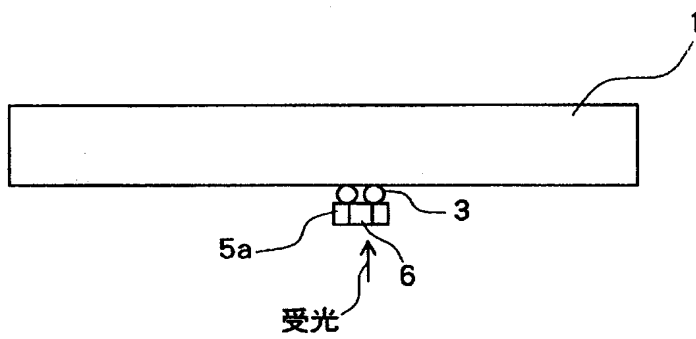
[[図2D]]



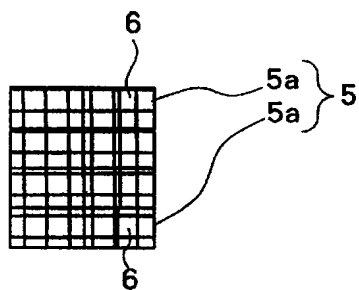
[[図3A]]



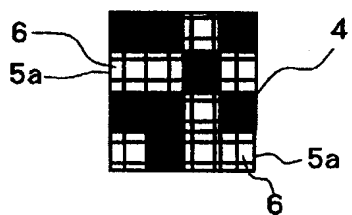
[[図3B]]



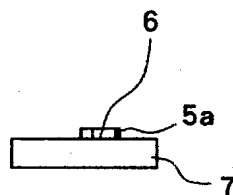
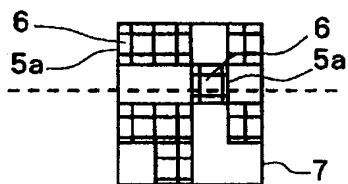
[図4A]



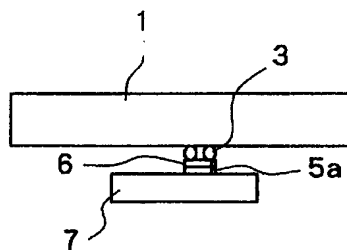
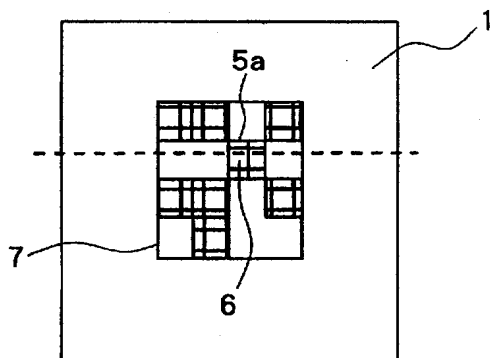
[図4B]



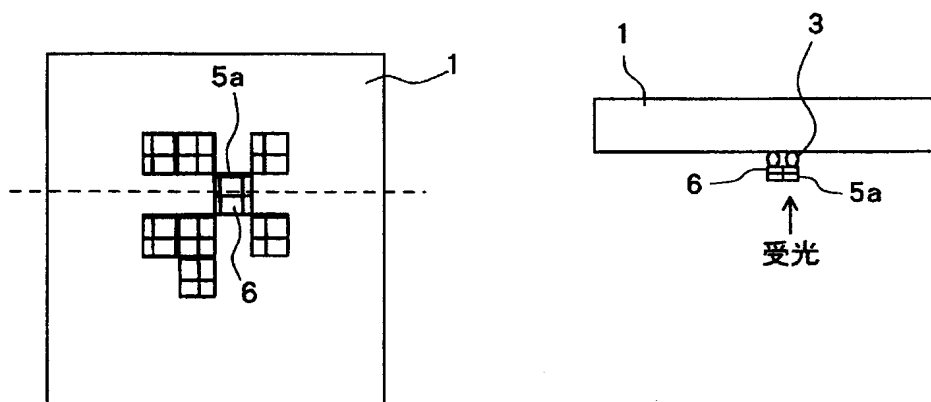
[図4C]



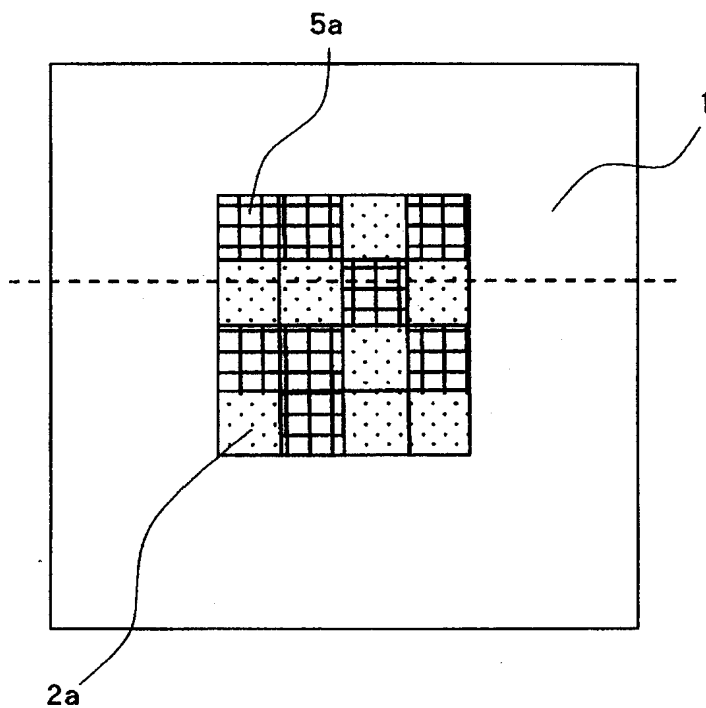
[図4D]



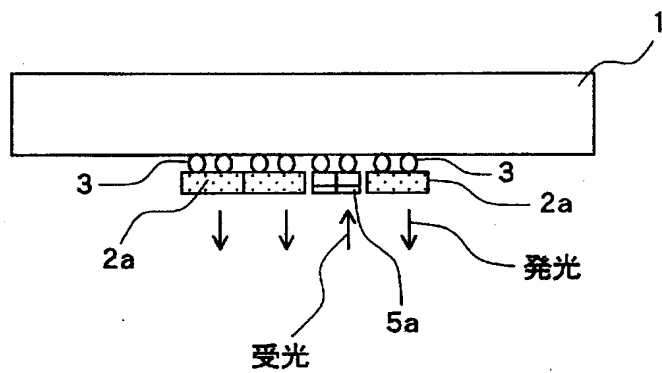
[[図4E]]



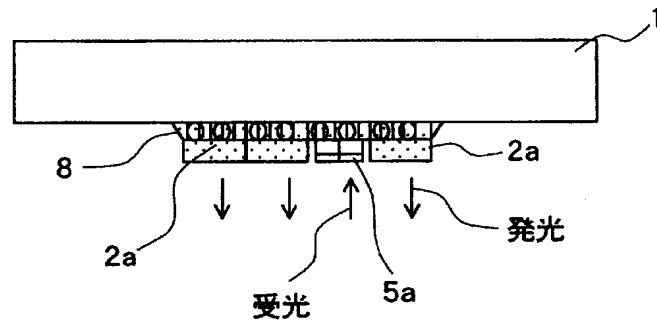
[[図5A]]



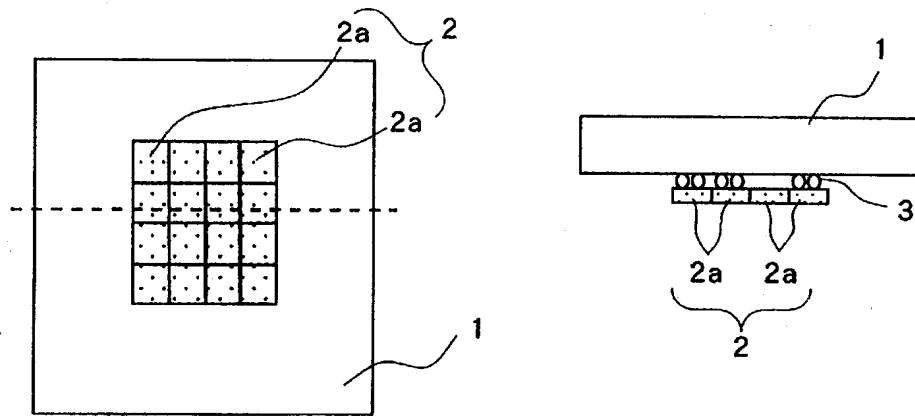
[[図5B]]



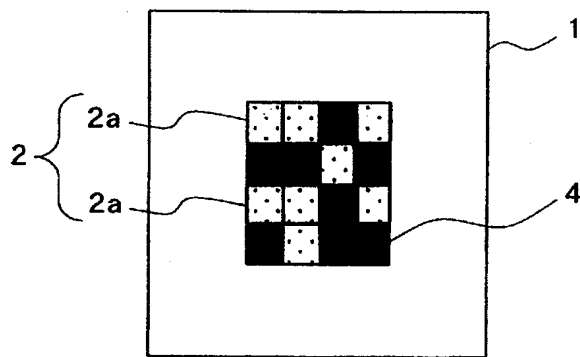
[図5C]



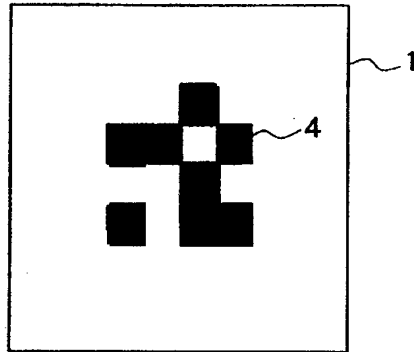
[図6A]



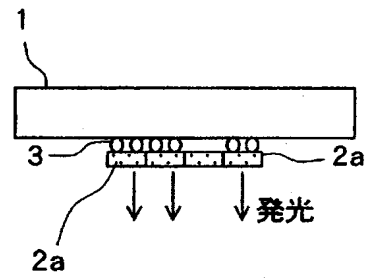
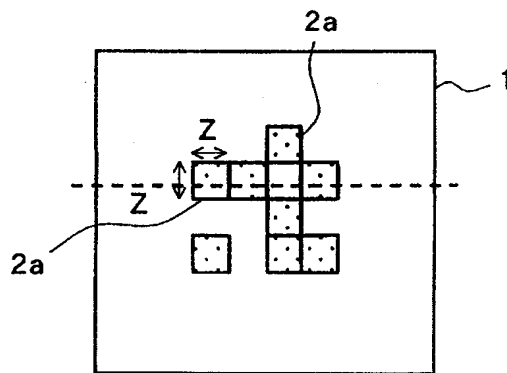
[図6B]



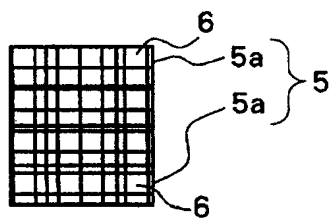
[[図6C]]



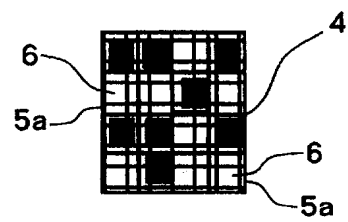
[[図6D]]



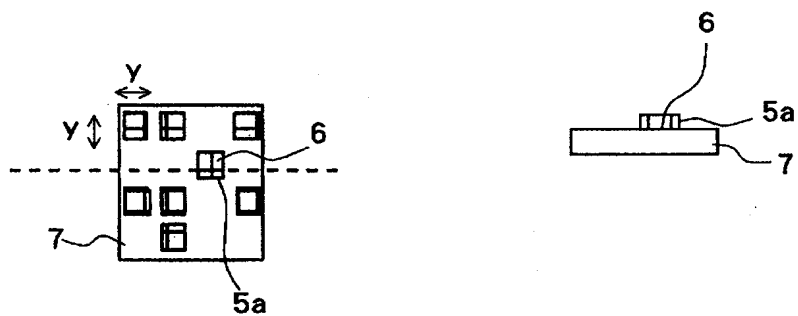
[[図6E]]



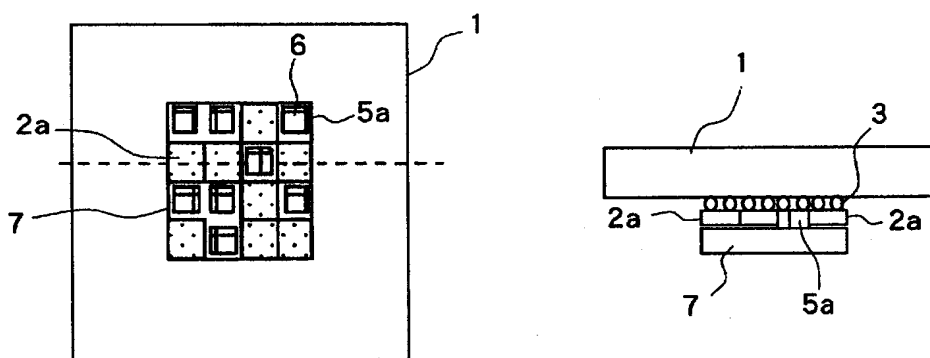
[[図6F]]



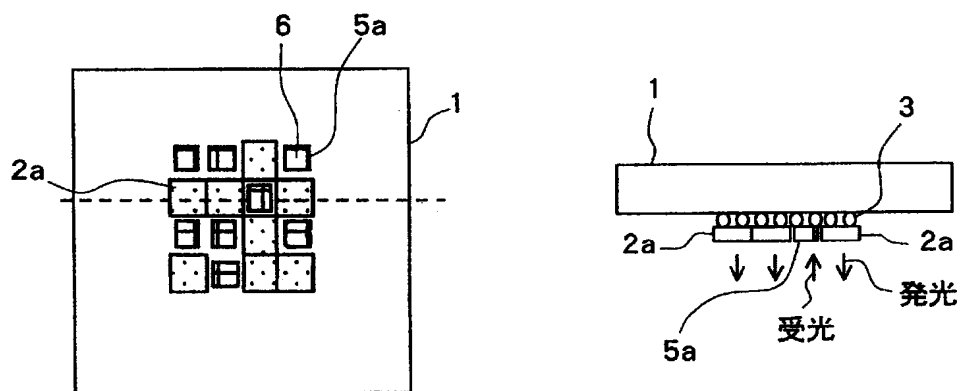
[[図6G]]



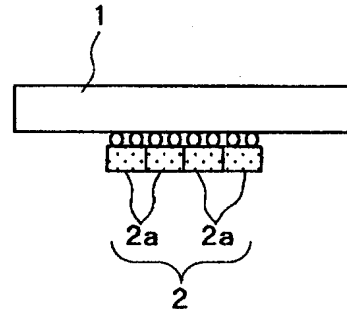
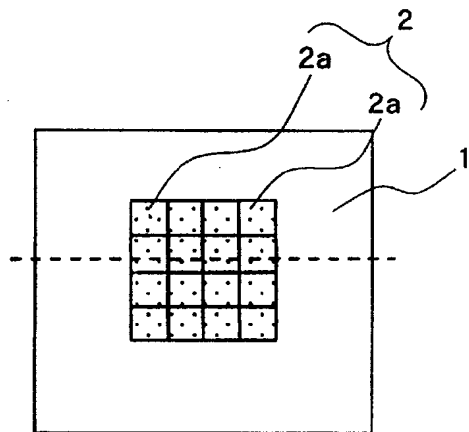
[[図6H]]



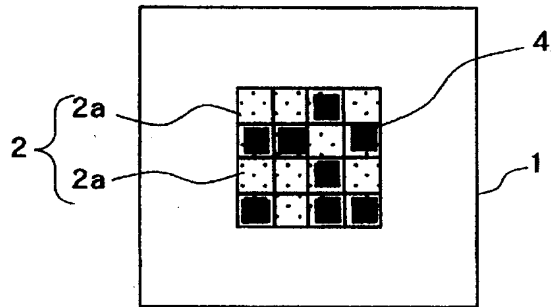
[[図6I]]



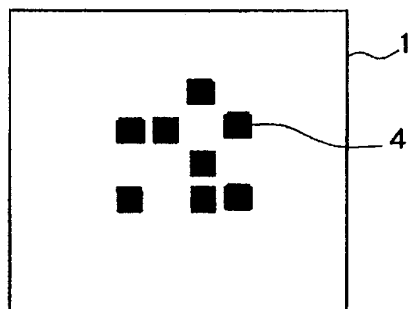
[図7A]



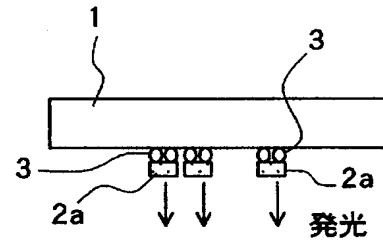
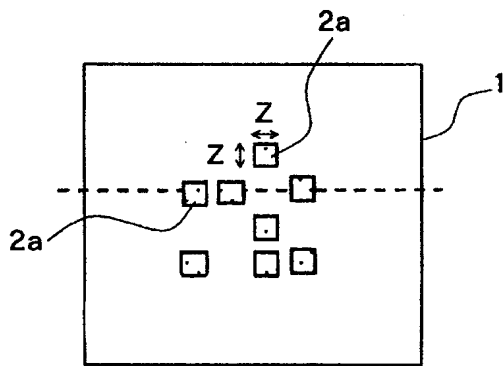
[図7B]



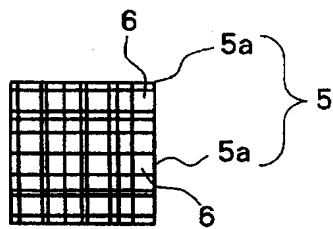
[図7C]



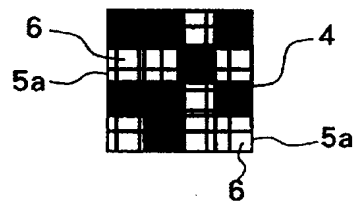
[図7D]



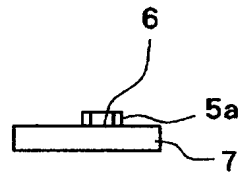
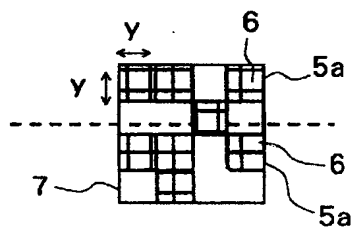
[図7E]



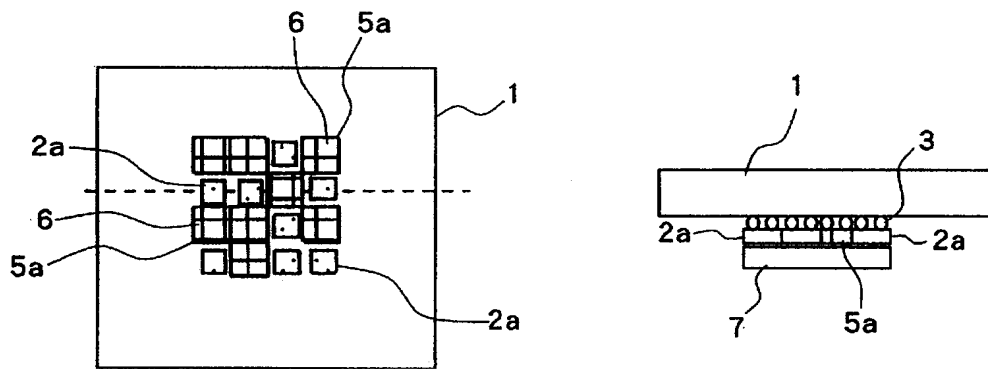
[図7F]



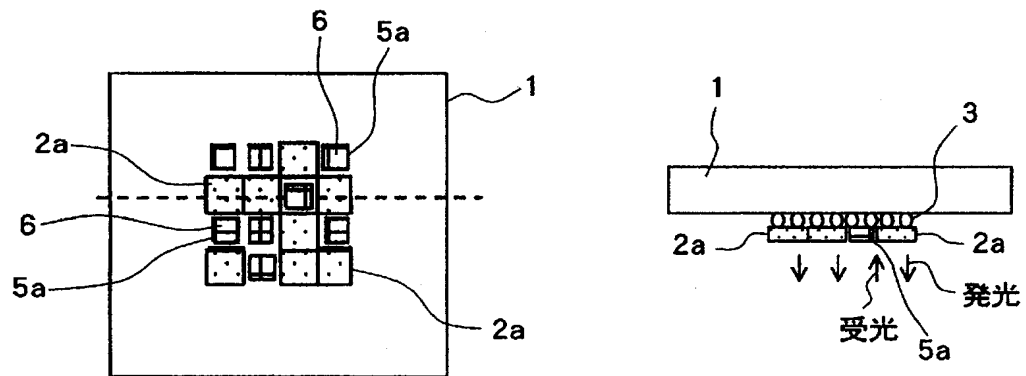
[図7G]



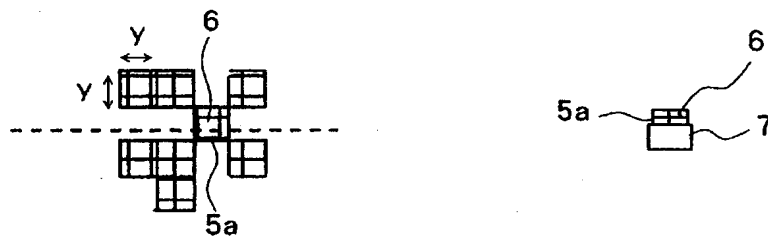
[[図7H]]



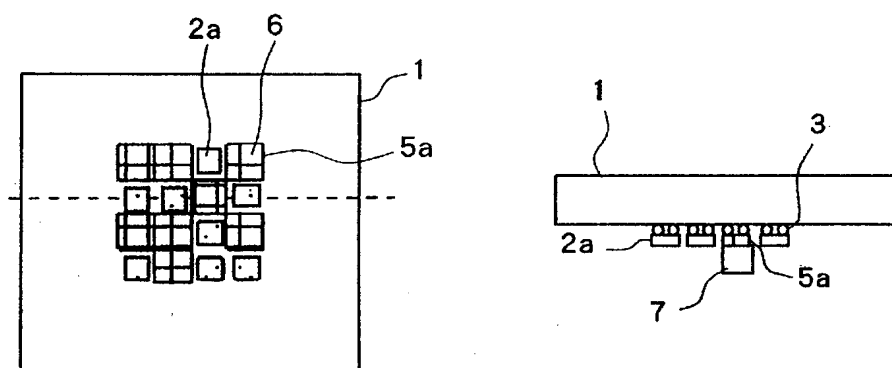
[[図7I]]



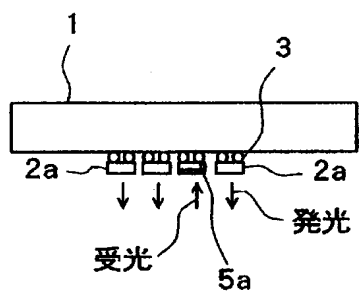
[[図8A]]



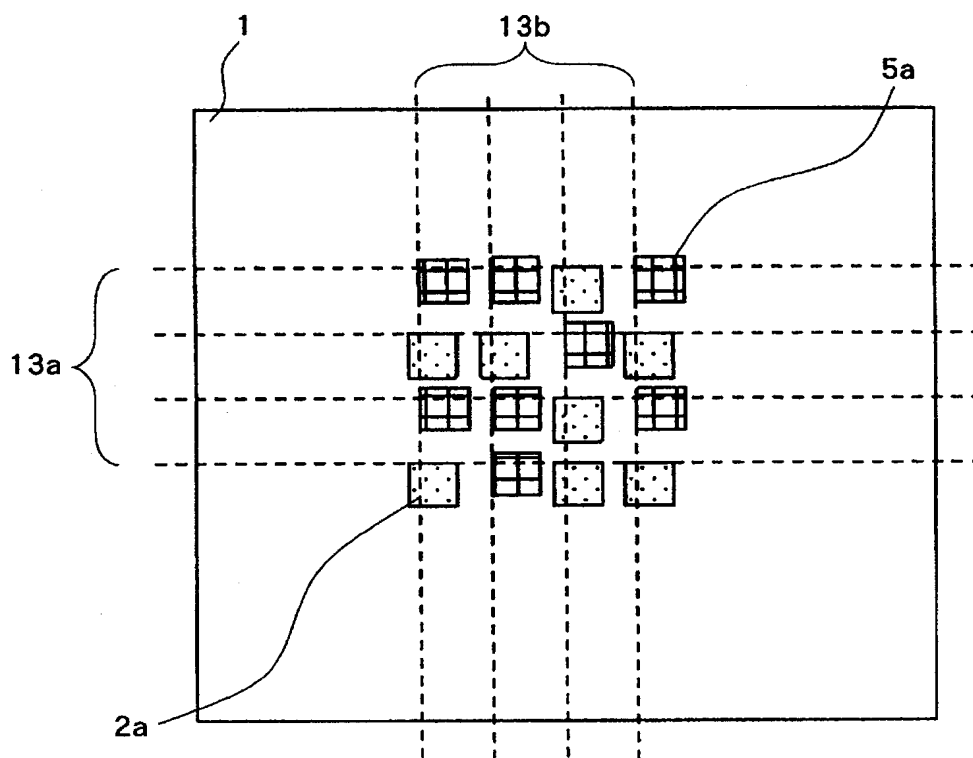
【図8B】



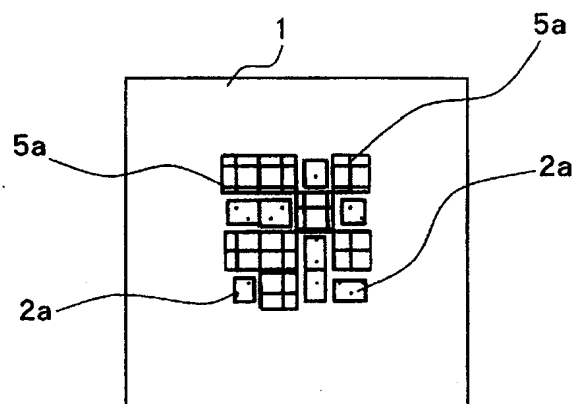
【図8C】



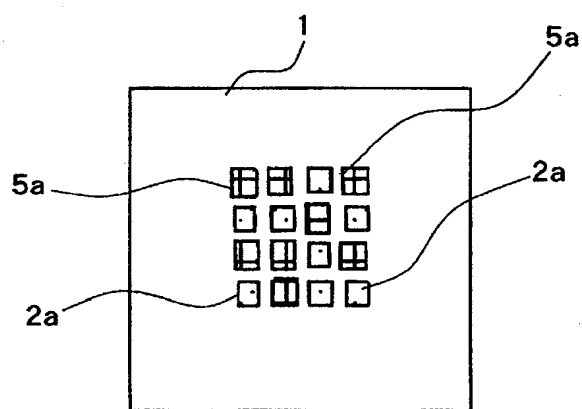
【図9】



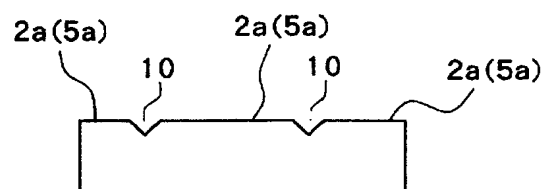
[図10A]



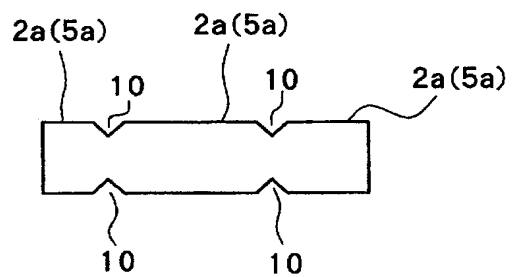
[図10B]



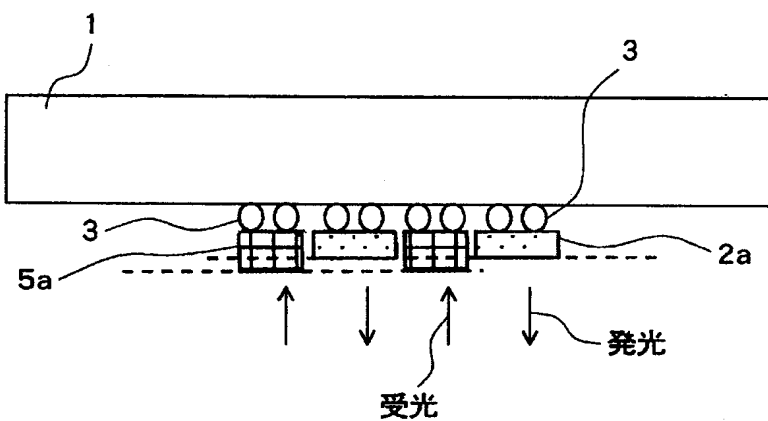
[図10C]



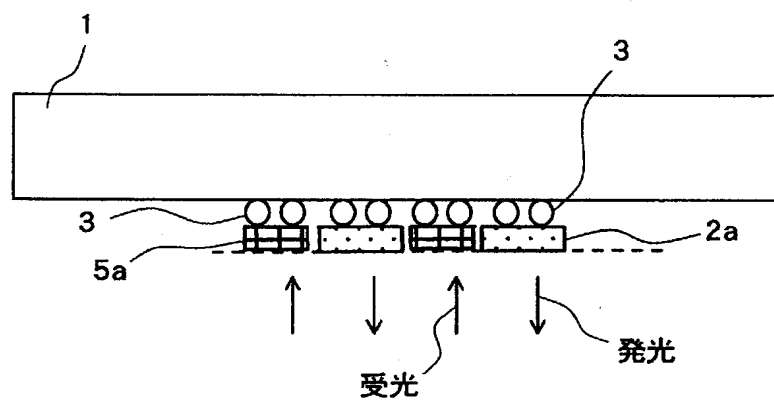
[図10D]



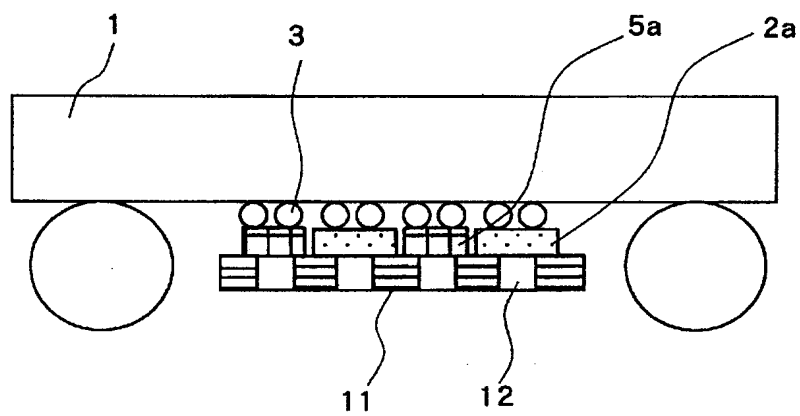
[図11A]



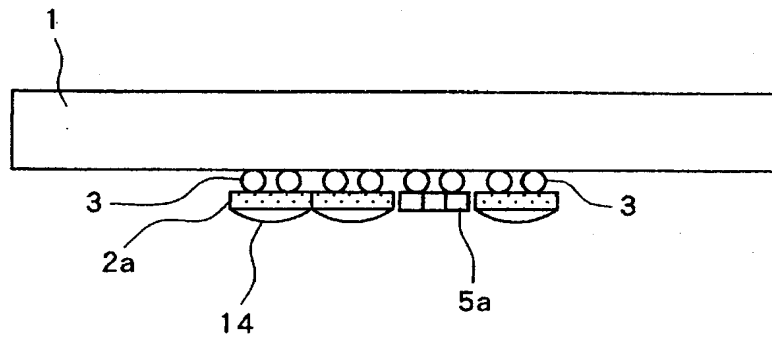
[図11B]



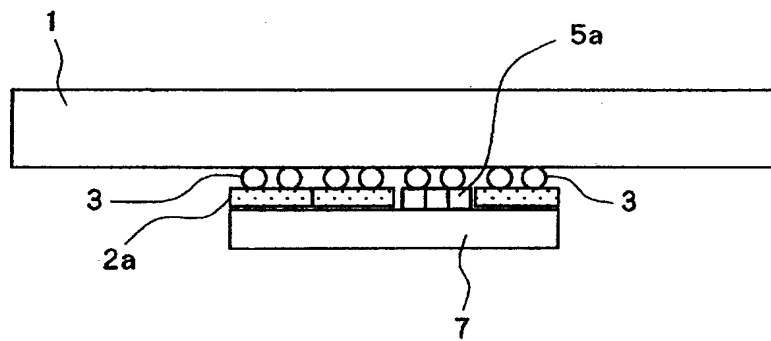
[図12]



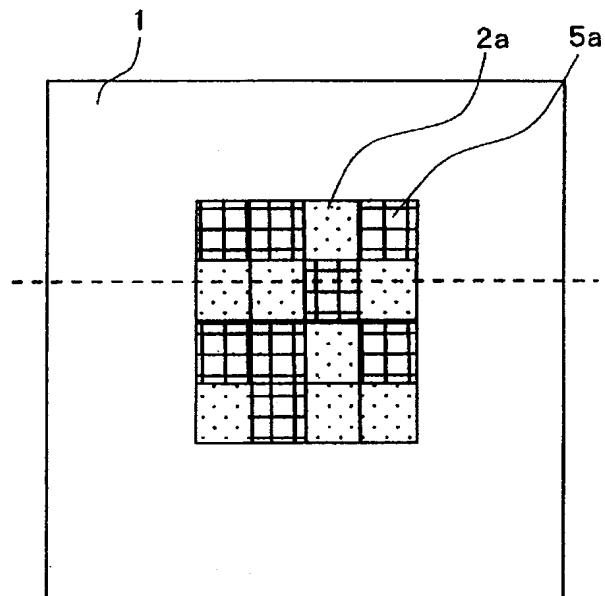
[図13A]



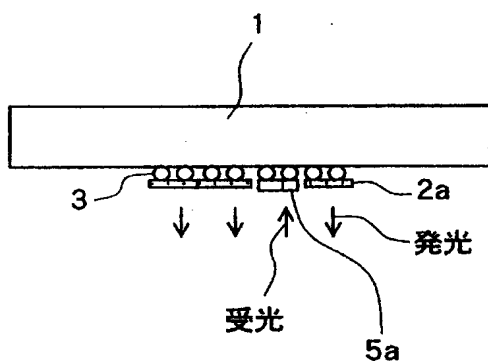
[図13B]



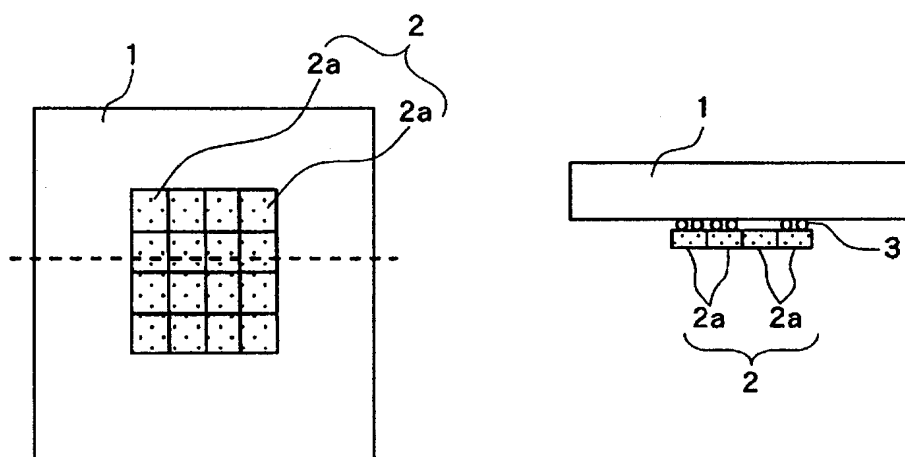
[図14A]



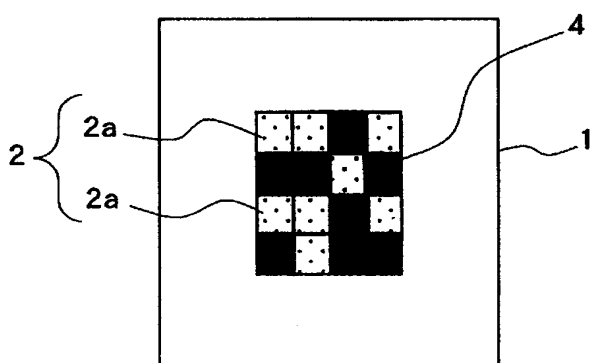
[図14B]



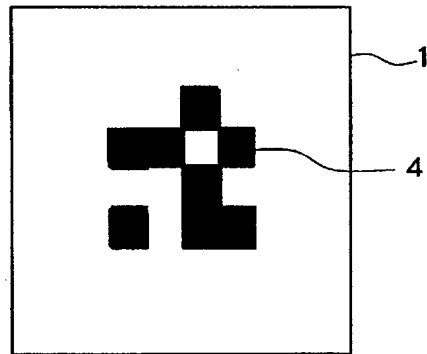
[図15A]



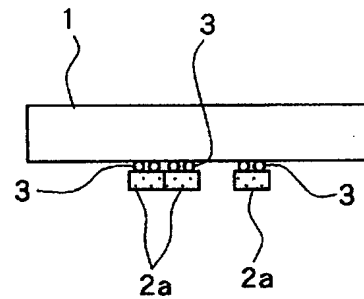
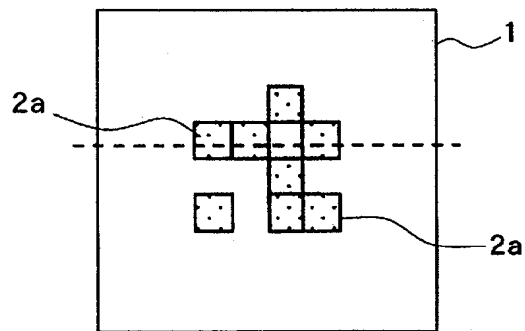
[図15B]



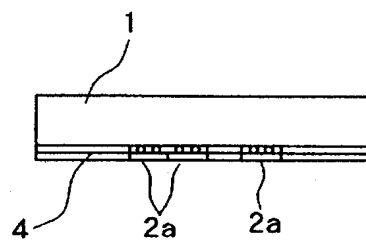
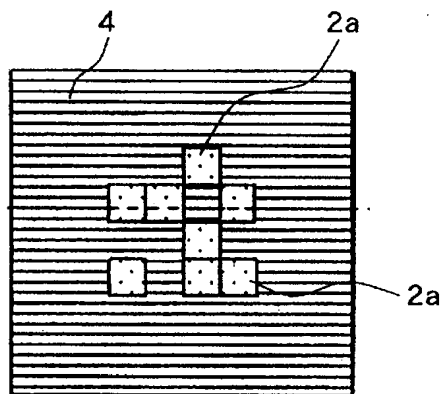
[図15C]



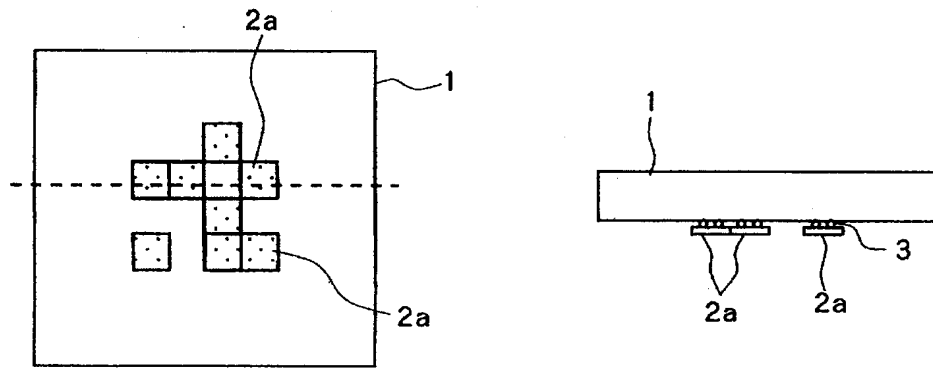
[図15D]



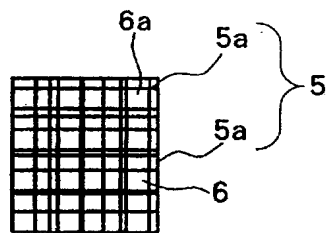
[図15E]



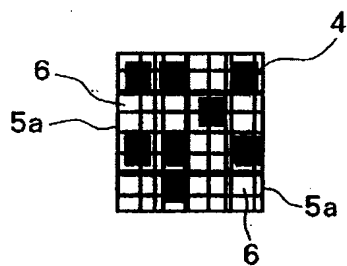
[[図15F]]



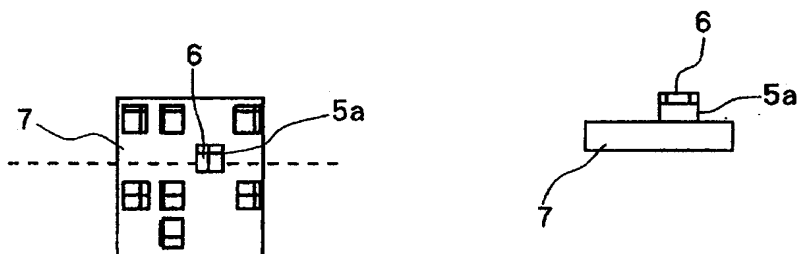
[[図15G]]



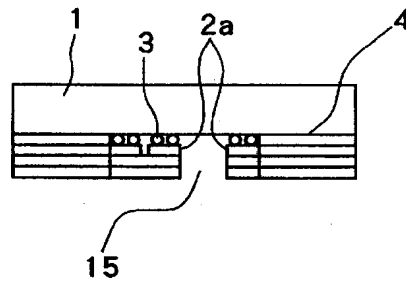
[[図15H]]



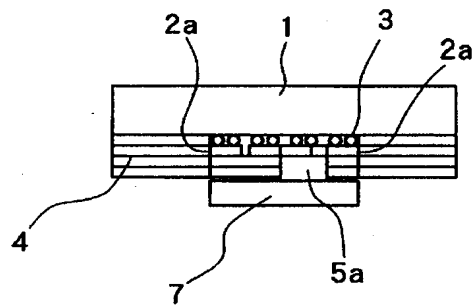
[[図15I]]



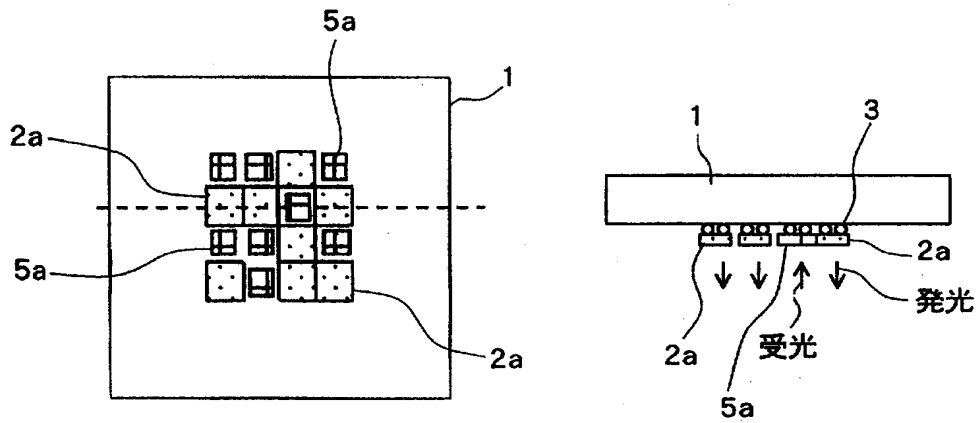
[図15J]



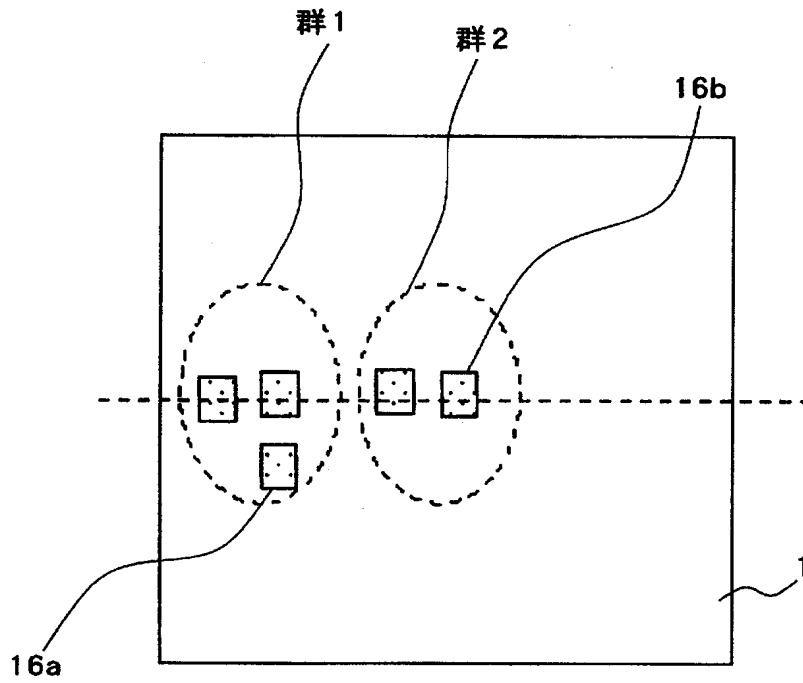
[図15K]



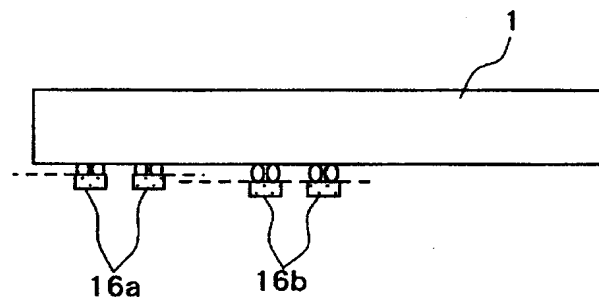
[図15L]



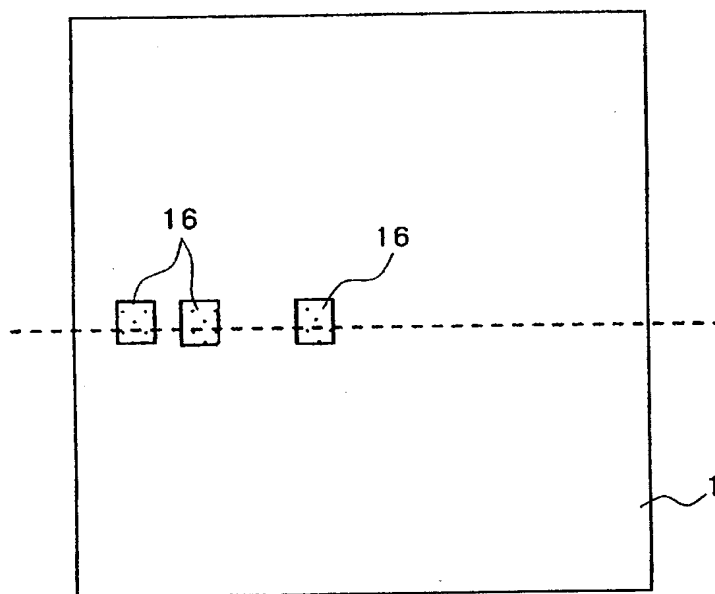
[図16A]



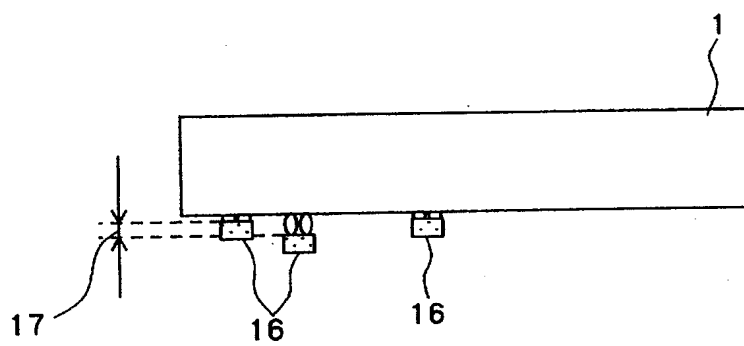
[図16B]



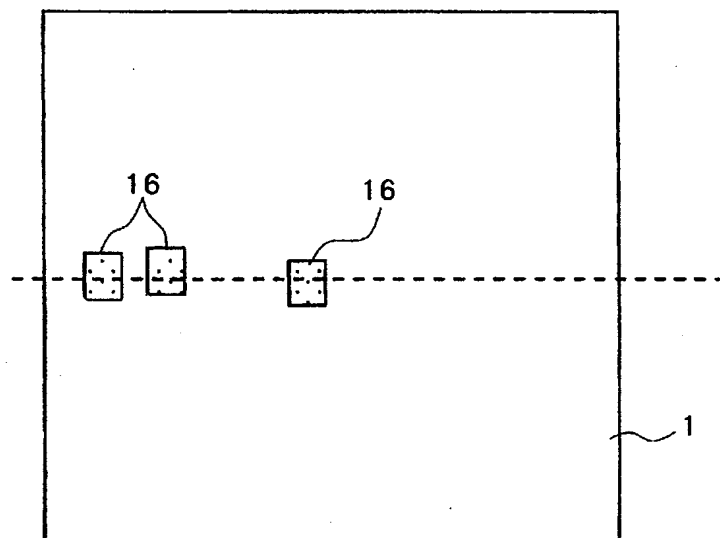
[図17A]



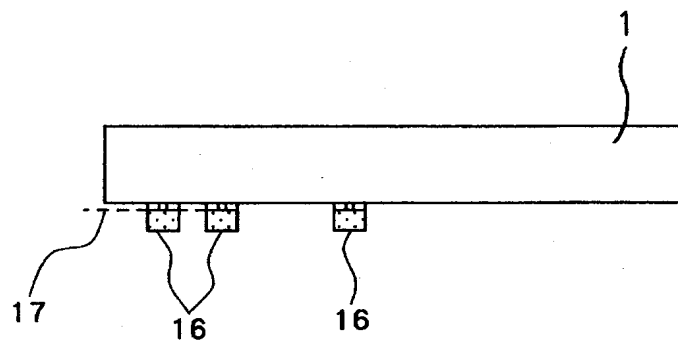
[図17B]



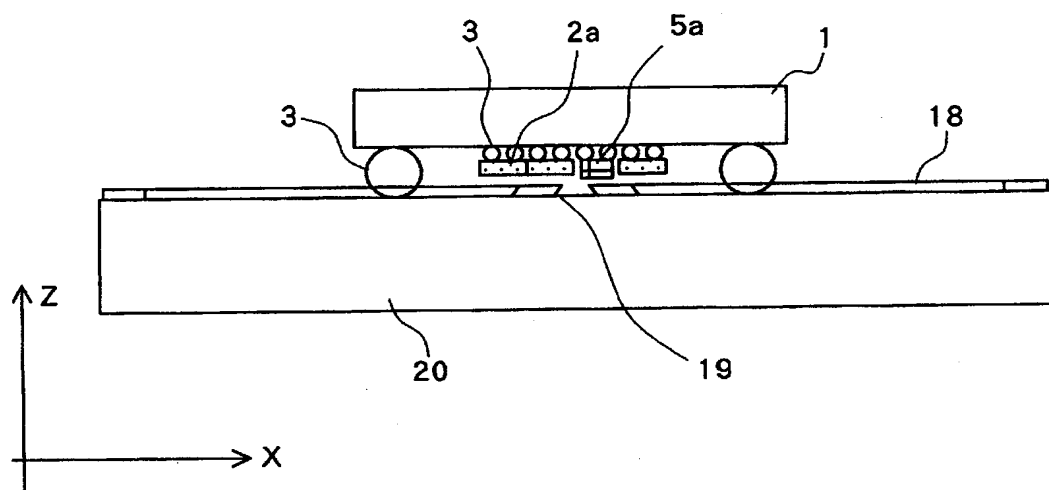
[[図18A]]



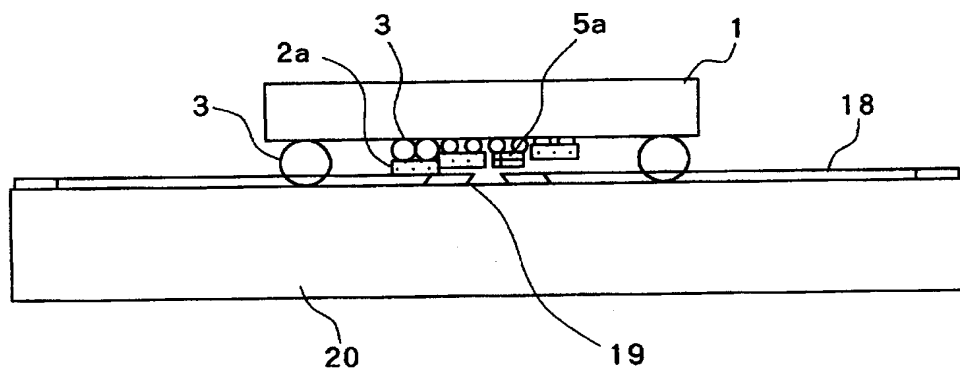
[[図18B]]



[[図19A]]



[図19B]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015155

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L31/12, H01L27/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L31/00-31/173, H01L27/14-27/15, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                 | Relevant to claim No. |
|-----------|--|-----------------------|
| X<br>Y    | JP 5-67769 A (Sony Corp.),<br>19 March, 1993 (19.03.93),<br>& JP 5-67760 A & US 5357122 A                          | 1-2, 5-7<br>3-4, 8-13 |
| Y         | JP 4-61175 A (Nippon Telegraph And Telephone Corp.),<br>27 February, 1992 (27.02.92),<br>(Family: none)            | 3-4, 9                |
| Y         | JP 6-275870 A (Fujitsu Ltd.),<br>30 September, 1994 (30.09.94),<br>& DE 4402422 A & US 5644667 A<br>& US 5764832 A | 10-13                 |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
21 January, 2005 (21.01.05)

Date of mailing of the international search report  
08 February, 2005 (08.02.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/015155

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| Y         | JP 10-3335383 A (Matsushita Electric Industrial Co., Ltd.),<br>18 December, 1998 (18.12.98),<br>& EP 881671 A & US 6184066 B<br>& US 6423561 B | 1-13                  |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015155

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: 1-13 (Only the required additional search fee was paid by the applicant for the two inventions.)
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015155

Continuation of Box No.III of continuation of first sheet(2)

(1) Claims 1-16 define inventions in which the heights of two or more optical elements are specified. Contrarily, claims 17-26 define inventions relating to a method of fabricating a necessary optical element from an optical element array. Therefore, these inventions do not involve a special technical feature.

(2) Regarding to claims 1-16, there are prior art documents such as JP 5-67769 A ("document 1"), which discloses a three-dimensional electronic integrated circuit device wherein a light-emitting element Em and a light-receiving element Pd are arranged in a region 1 of each substrate Sn, a drive circuit is provided in a region 2, and the light-emitting element Em and the light-receiving element Pd have certain heights (particularly, see Par. Nos. [0017] to [0025], Figs. 2 to 4).

Therefore, the inventions of claims 1-2, 5-7 are not novel in relation to document 1.

(3) Since the inventions of claims 1-2, 5-7 are not novel, the inventions of their independent claims 3-4, 8-16 will be examined. Claims 3-4, 9 relate to solder, claims 10-13 relate to a specific optical element, and claims 14-16 relate to an electrode pattern. Therefore, their technical features are different.

(4) Consequently, this international application contains at least five inventions involving different special technical features: (i) the inventions of claims 1-2, 5-8; (ii) the inventions of claims 3-4, 9; (iii) the inventions of claims 10-13; (iv) the inventions of claims 14-16; and (v) the inventions of claims 17-26.

|   |   |  |  |
|---|---|--|--|
| <b>A. 発明の属する分野の分類 (国際特許分類 (IPC))</b><br>Int. Cl <sup>7</sup> H01L31/12, H01L27/14   |   |  |  |
| <b>B. 調査を行った分野</b><br>調査を行った最小限資料 (国際特許分類 (IPC))<br>Int. Cl <sup>7</sup> H01L31/00-31/173, H01L27/14-27/15,<br>H01L33/00  |   |  |  |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2005年<br>日本国登録実用新案公報 1994-2005年<br>日本国実用新案登録公報 1996-2005年  |   |  |  |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)   |   |  |  |
| <b>C. 関連すると認められる文献</b>  |   |  |  |
| 引用文献の<br>カテゴリー*   | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号   |  |
| X<br>Y  | J P 5-67769 A (ソニー株式会社)<br>1993. 03. 19<br>& J P 5-67760 A<br>& U S 5357122 A | 1-2, 5-7<br>3-4, 8-13  |  |
| Y   | J P 4-61175 A (日本電信電話株式会社)<br>1992. 02. 27<br>(ファミリーなし)                       | 3-4, 9   |  |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。   |   |  |  |
| * 引用文献のカテゴリー<br>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)<br>「O」 口頭による開示、使用、展示等に言及する文献<br>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 |   | の日の後に公表された文献<br>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」 同一パテントファミリー文献 |  |
| 国際調査を完了した日<br>21. 01. 2005  |   | 国際調査報告の発送日<br>08. 2. 2005  |  |
| 国際調査機関の名称及びあて先<br>日本国特許庁 (ISA/J P)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号   |   | 特許庁審査官 (権限のある職員)<br>浜田 聖司<br>2 K 9207<br>電話番号 03-3581-1101 内線 3253   |  |

| C (続き) . 関連すると認められる文献 |   |                  |
|-----------------------|---|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
| Y                     | JP 6-275870 A (富士通株式会社)<br>1994. 09. 30<br>& DE 4402422 A<br>& US 5644667 A<br>& US 5764832 A     | 10-13            |
| Y                     | JP 10-3335383 A (松下電器産業株式会社)<br>1998. 12. 18<br>& EP 881671 A<br>& US 6184066 B<br>& US 6423561 B | 1-13             |

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページを参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☒ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。  
1-13（発明の数2についてのみ追加の手数料の納付があった）
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(1) 請求の範囲1-16は2以上の光素子の高さに関して規定した発明であるの対して、請求の範囲17-26は光素子アレイから必要な光素子を形成する方法に関する発明であることから、両者に特別な技術的特徴があるとはいえない。

(2) 請求の範囲1-16に関しては、例えば、JP 5-67769 A(「文献1」)のような先行技術があり、そこには、各基板 $S_n$ の、領域1に発光素子 $E_m$ および受光素子 $P_d$ が配列され、領域2に駆動回路などが配置され、各発光素子 $E_m$ および受光素子 $P_d$ が一定の高さを有する3次元光電子集積回路装置が開示されている(特に、【0017】-【0025】、【図2】-【図4】を参照)。

したがって、請求の範囲1-2、5-7は、文献1に対して明らかに新規性がない。

(3) 請求の範囲1-2、5-7に新規性がないため、それらに従属する請求の範囲3-4、8-16について更に検討するに、このうち、請求の範囲3-4、9は半田に関するもの、請求の範囲10-13は特定の光学素子に関するもの、請求の範囲14-16は電極パターンに関するものであり、それぞれ技術的特徴が異なる。

(4) したがって、この出願には、少なくとも、(i) 請求の範囲1-2、5-8、(ii) 請求の範囲3-4、9、(iii) 請求の範囲10-13、(iv) 請求の範囲14-16、(v) 請求の範囲17-26、の5つの異なる特別の技術的特徴を有する発明を含んでいる。